

# Diagnóstico de Circuitos Integrados Analógicos y de Comunicaciones

José Leonardo Simancas García\*

## Resumen

En este artículo se realiza una breve revisión acerca de las estrategias de diagnóstico utilizadas en el diseño y fabricación de circuitos integrados analógicos en general, pero haciendo énfasis en los utilizados en comunicaciones. Se exponen los nuevos paradigmas que rigen el diseño electrónico moderno. A la luz de estos paradigmas, luego se revisan los aspectos más relevantes del diseño microelectrónico moderno, desde una perspectiva cualitativa, así como una exploración breve acerca de los tipos de diagnóstico que podemos encontrar partiendo de las fallas que los originan. Se introducen luego algunas estrategias más usuales para el diagnóstico de circuitos integrados de comunicaciones, así como algunas aproximaciones neuronales. Se discute acerca de los aspectos que hacen tan particular el diseño y diagnóstico de circuitos integrados de comunicaciones y la comparativa entre las distintas técnicas. Finalmente se propone una estrategia neuronal que combina la técnica MADBIST con una red neuronal para realizar el diagnóstico.

Palabras clave: circuitos integrados analógicos, comunicaciones. microelectrónica

## Abstract

This paper is a brief review on the diagnostic strategies used in the design and manufacture of analog integrated circuits in general, but with emphasis on those used in communications. Explains the paradigms governing modern electronic design. In light of these paradigms, after reviewing the most important aspects of modern microelectronic design, from a qualitative perspective and a brief exploration about the types of diagnosis that can be found starting from the failure to detect. Next introduces some common strategies for the diagnosis of integrated circuits for communications, as well as some neural approaches. We discuss about the aspects that make very particular design and diagnosis of integrated circuits for communications and the comparison between the different techniques. The article proposes a strategy that combines technical neuronal MADBIST with a neural network to perform the diagnosis.

Key words: analog integrated circuits, communications. microelectronics

Recibido: 3 marzo de 2011

Aceptado: 16 mayo de 2011

\* Ingeniero Electrónico. Estudiante de Maestría en Ingeniería Electrónica. Profesor Medio Tiempo Universidad Antonio Nariño. jsimancas@uninorte.edu.co



## Introducción

El diagnóstico de circuitos analógicos y de señal mixta ha llegado a ser un reto y ha ganado mayor interés en las últimas dos décadas por muchas razones, incluyendo el incremento de las aplicaciones para los circuitos analógicos tales como las comunicaciones, la integración de sistemas enteros en un chip, y el alto costo del diagnóstico analógico comparado con su contraparte digital.

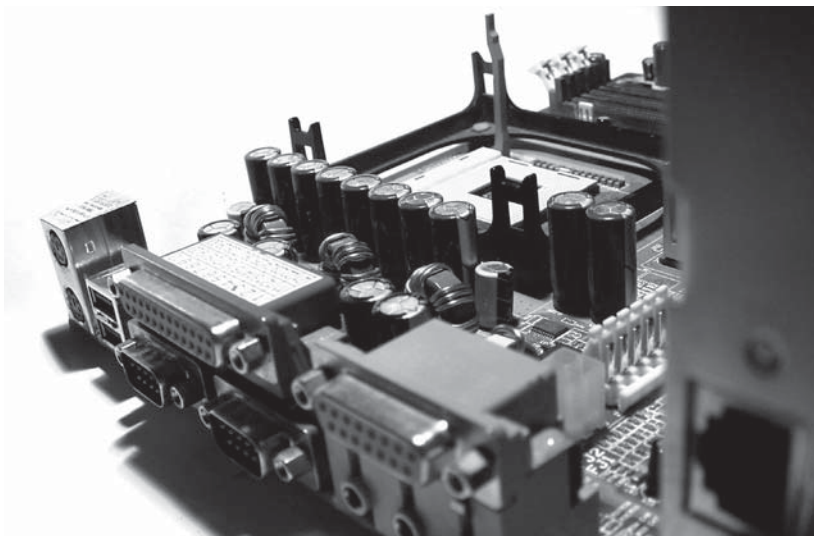
La razón en el incremento de las aplicaciones para circuitos analógicos es debido a que las señales en el mundo real son analógicas por naturaleza, con escalas de amplitud y tiempo continuas. Por tanto, cualquier sistema electrónico que interactúa con el mundo exterior debe contener circuitos de interfaz analógica. Circuitos analógicos y de señal mixta como amplificadores, filtros, switches, convertidores A/D y D/A son requeridos en muchas aplicaciones para equipos finales, entre las que podemos encontrar teléfonos móviles, unidades de disco duro, MODEMS, controladores de motores y productos multimedia de audio y video. Para hacer un poco de claridad, cuando se hace referencia a los bloques de señal mixta se habla de pequeños sistemas que incluyen tanto tecnología digital como analógica, y por tanto manejan ambos tipos de señal [4]. Además, los circuitos analógicos presentan un buen funcionamiento en general para aplicaciones de alto rendimiento (aplicaciones de alta frecuencia y

baja potencia), sistemas de adquisición de datos de bajo ruido (aplicaciones biomédicas) y procesamiento paralelo de señales analógicas (redes neuronales). Estrategias de diagnóstico de este tipo de circuitos son una necesidad de primera mano.

En el pasado, los circuitos integrados era solo un componente de un sistema, en la actualidad, un circuito integrado es un sistema completo en si mismo. Esta integración de un sistema incluyendo circuitos analógicos y digitales en un solo circuito integrado (SoC, *System on Chip*) ha traído consigo una serie de problemas no triviales en las áreas de diseño y diagnóstico. Hay muchos factores que causan complejidad en el diagnóstico de SoC. Tales factores son [13]: carencia de modelos de fallas adecuados, herramientas incapaces de manejar la complejidad de los actuales SoC, carencia de accesibilidad a los bloques internos que componen los circuitos y la carencia de una metodología DFT (*Design for Testing*) industrial estándar.

El costo del diagnóstico de circuitos integrados analógicos y de señal mixta se ha incrementado en comparación con el costo de su contraparte digital [14]. Este alto costo se debe a diversos factores tales como equipo de diagnóstico costoso y largos tiempos en la elaboración del diagnóstico de producción. Los costos de diagnóstico constituyen una parte de los costos de desarrollo y producción del circuito integrado. Los tiempos de diagnóstico tanto de desarrollo como de producción están relacionados con el TTM (*Time-to-market*), que es el tiempo de salida al mercado de un productos cualquiera, y es muy importante para la competitividad de las compañías de semiconductores. El reto que están encarando los ingenieros es el desarrollo de una metodología de diagnóstico que reduzca el costo de las pruebas y acelere el TTM sin sacrificar la calidad del circuito integrado.

El presente artículo está organizado de la siguiente manera. Primero, se realiza una breve introducción a los nuevos paradigmas que rigen el diseño electrónico moderno. Luego, se comenta brevemente sobre el diseño microelectrónico moderno, así como una introducción al diagnóstico en esta perspectiva de diseño. Se realiza un estudio introductorio al diagnóstico



de circuitos específicos de comunicaciones, y las técnicas más usadas. Se describen también algunas aproximaciones neuronales encontradas en la literatura. Posteriormente, se discute sobre la relevancia de las técnicas de diagnóstico. Finalmente se introduce una propuesta de aproximación para el diagnóstico de circuitos de comunicaciones que combina la aproximación MADBIST con una red neuronal.

## 1. Diseño electrónico moderno

El incremento de las presiones que ejerce el tiempo de salida al mercado de nuevos sistemas electrónicos de altas prestaciones, y la habilitación de nuevos procesos tecnológicos para la miniaturización de la electrónica, son las fuerzas que están conduciendo tanto a los diseñadores, como a las metodologías de diseño y las herramientas de automatización del diseño electrónico (EDA, *Electronic Design Automation*) en la actualidad [4]. Por un lado, las presiones del tiempo de salida al mercado, junto con las nuevas tecnologías de diseño, las cuales han permitido la integración de más y más bloques funcionales en una sola oblea de silicio, han forzado a los diseñadores a moverse a niveles de abstracción más altos, logrando con esto, manejar la complejidad agregada. En otras palabras, como los sistemas se hacen cada vez más complejos, trabajar a niveles de abstracción más bajos, por ejemplo diseñar con primitivas, tales como transistores, resistencias y demás componentes, resultaría muy complicado. Para ilustrarlo más claramente, imagine diseñar un microprocesador moderno como el Itanium al nivel de los transistores, cuando este posee decenas de millones de estos dispositivos, este diseño se haría inmanejable. En la actualidad se puede ver esta tendencia en el dominio digital, donde la construcción de circuitos integrados se basa en el uso de celdas prediseñadas, y la propiedad intelectual es el recurso para diferenciar los diseños de cada fabricante. Esta metodología del re-uso consiste en tomar bloques previamente diseñados e integrarlos con otros bloques para obtener la funcionalidad deseada. Su nombre viene del hecho de que los bloques constituyentes del sistema no son nuevamente diseñados, sino que por el contrario, ya han sido

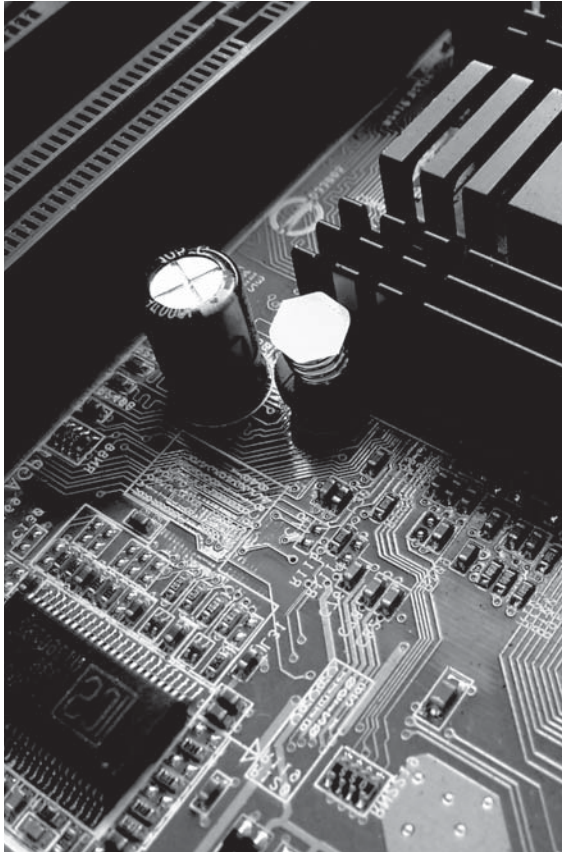
usados, probados y documentados. Esto último reduce los errores durante la construcción de un circuito integrado [1].

Por otro lado, el surgimiento de nuevos procesos tecnológicos para la miniaturización de los dispositivos, ha originado una tendencia en la dirección opuesta, debido al incremento significativo del impacto en el funcionamiento que tienen efectos físicos, los cuales obligan a descender a los niveles más bajos de abstracción para poder estudiarlos. La integridad de la señal y el análisis de potencia, están ahora agregando diferentes dificultades, ya que la creciente cantidad de dispositivos afectan la calidad de las señales, y aumentan el consumo. Este último es crítico en los sistemas operados por baterías. Todo lo anterior es cierto tanto para el diseño analógico como para el digital. El rango total de abstracción encontrado en un flujo de diseño actual se está incrementando, y está halando en direcciones opuestas, y enfrentando la abstracción versus el detalle. Rango total de abstracción significa la distancia que existe entre el nivel más alto encontrado en el diseño, también conocido como nivel de sistemas, y el más bajo, o nivel físico. Manejando este rango, y asegurando que las especificaciones del sistema son preservadas y verificadas en todos los niveles de abstracción, es entonces cuando el diseñador percibe los distanciamientos que existen entre niveles en las diferentes metodologías de diseño [1].

Apresurados también por los objetivos de costo y rendimiento resultantes de la electrónica de consumo, los diseñadores están tomando ventaja de los procesos de miniaturización, para con esto colocar sistemas completos en un solo chip, cuyos tipos básicos se mencionan en lo que sigue. Uno de estos tipos de chip son los circuitos integrados de aplicación específica (ASIC, *Application Specific Integrated Circuit*), los cuales han tenido gran acogida en la actualidad. El otro tipo es el circuito integrado de consumo, también conocido como componente estándar [1].

Existe una diferencia fundamental entre los circuitos integrados de consumo y los ASIC, esta radica en que los ASIC están inclinados única





y exclusivamente para tecnología digital, pero cabe la posibilidad de integrar bloques analógicos y de señal mezclada si el tiempo de diseño es razonable al igual que el costo. Por otra parte, los CI de consumo integran la mayoría de las funciones del sistema final, incluyendo los bloques analógicos y de señal mixta. Lo importante para resaltar aquí es la importancia que ha adquirido en la actualidad, la integración de la mayoría de las funciones del producto final en un solo chip. Esto último gracias a los procesos tecnológicos con los que se cuenta hoy en día. Esta integración es fundamental para los circuitos integrados diseñados para sistemas de comunicaciones.

Pero en la actualidad no solo es crítico tener metodologías de diseño lo suficientemente buenas como para lograr integrar sistemas completos en un solo chip, sino que también es crítico el avance en el área de diagnóstico, las cuales hacen parte importante en el diseño y fabricación de CI.

## 2. Diseño de sistemas integrados y su diagnóstico

En esta sección hablaremos sobre algunas generalidades en el diseño de circuitos integrados mixtos. Luego, comentaremos sobre algunos aspectos muy generales sobre el diagnóstico de circuitos integrados mixtos. Finalmente, se hará mención sobre los diferentes tipos de defecto de fabricación que se pueden encontrar en los circuitos integrados, así como las metodologías de diagnóstico que tienen origen en las distintas clases de defectos.

### 2.1 Diseño Microelectrónico Moderno

Hasta hace poco tiempo, muchos sistemas electrónicos estaban compuestos por una o más tarjetas de circuito impreso y cada una de estas se encontraba formada por muchos circuitos integrados. En la actualidad los SOC (*System On Chip*), ofrecen ventajas tales como alto rendimiento, bajo consumo de potencia y poco volumen y peso cuando son comparados con sus equivalentes tradicionales que poseían múltiples chips. Tales sistemas son muy heterogéneos, en el sentido de que contienen tecnologías mixtas, tales como lógica digital, analógica y de RF. También es posible diseñar estos sistemas por medio de la integración de varios bloques de construcción re-utilizables denominados bloques funcionales [2].

Recientemente, tales módulos re-utilizables han capturado la atención de los diseñadores, quienes entienden el potencial de incrustarlos para construir los sistemas completos en un solo chip. Hacer lo anterior es similar a usar circuitos integrados en una tarjeta de circuito impreso, y los diseñadores están formando amplias librerías de bloques de construcción prediseñados y preverificados. Estos bloques, denominados *Embedded Cores*, han facilitado la importación de tecnología a nuevos sistemas y diferenciar los correspondientes productos a través de las ventajas que brinda la propiedad intelectual. Más importante aún, el uso de estos módulos re-utilizables acorta el tiempo de salida al mercado para nuevos sistemas debido a la reutilización de los diseños [3].

La combinación de una creciente demanda por la electrónica de consumo y el crecimiento en la densidad de empaquetamiento de los semiconductores, está conduciendo hacia la integración de más y más sistemas funcionales en un simple circuito integrado. El resultado, entre otras cosas, es la creciente necesidad de la integración de componentes analógicos y de señal mixta en el mismo paquete o chip, de la misma forma como se hace en la electrónica digital pura. La elaboración de tales sistemas de señal mixta en un solo chip, representa un verdadero reto para los diseñadores, ya que este tipo de diseño maneja altos niveles de abstracción, pero es una necesidad del mercado, en especial del sector de las comunicaciones, que se debe satisfacer. La dificultad aumenta ya que con la creciente complejidad de los sistemas, los efectos parásitos se hacen más críticos y se debe encontrar medios para sortearlos [4].

## 2.2 Diagnóstico de IC

Por otra parte, el diagnóstico de estos dispositivos SOC representan un reto real para los diseñadores. Tales circuitos integrados de tecnología mixta tienen unas trayectorias de señal así como unas especificaciones muy complejas. Para realizar pruebas a estos sistemas, se deben utilizar equipos de prueba automático (ATE, *Automatic Test Equipment*), los cuales son unos dispositivos externos que ayudan a realizar pruebas a los bloques internos del circuito integrado. Estos recursos ATE también utilizan unos algoritmos *ad-hoc* que manejan los ATE. Como estas pruebas se realizan en la fase de producción se incrementa el tiempo de salida al mercado de los nuevos sistemas, y esto es riesgo que los diseñadores no están dispuestos a correr [4].

La dificultad es acentuada por otro aspecto de integración a nivel de sistemas, la cual es llamada integración de bloques funcionales. Esta surge cuando los diseñadores intentan competir con la complejidad en el diseño en los sistemas actuales, y se ven forzados a utilizar bloques prediseñados e integrarlos como parte de un todo, un sistema más complejo. Estos, son

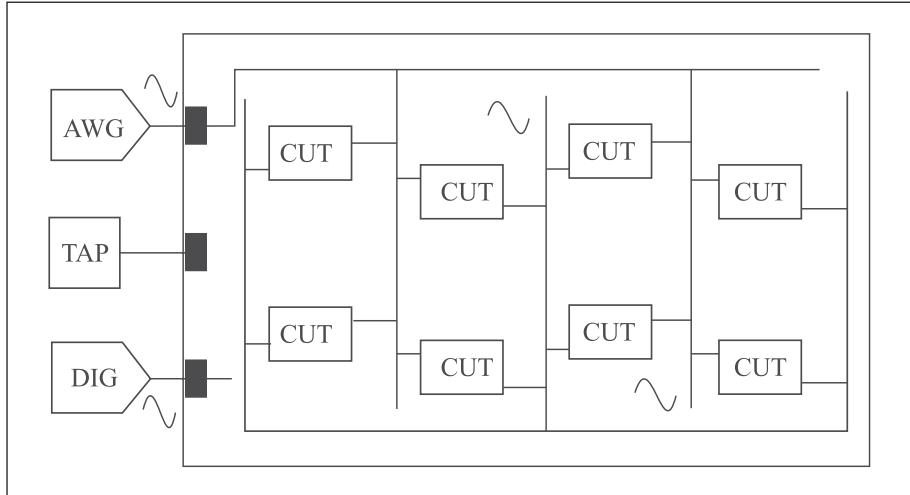
obtenidos de librerías virtuales que describen el funcionamiento de los bloques en circuito integrado final [4][50].

En el dominio digital, los mecanismos de acceso para diagnóstico, como por ejemplo *scan*, la utilización de los puertos para pruebas como lo es el JTAG y las técnicas para diagnóstico de diseño son muy eficientes. Esto se debe a que la información de prueba, la cual está en formato digital, puede ser transportada sin pérdidas a través del chip. Por esta razón, es posible derivar un procedimiento sistemático por medio del cual el integrador final del sistema pueda acceder a los bloques funcionales que componen el diseño [3].

En el dominio analógico surgen algunos problemas. Por ejemplo, aquí es difícil explorar señales en el interior del chip, ya que pueden no existir conexiones al exterior. Como en la actualidad los diseños basados en núcleos prediseñados crecen en popularidad, los núcleos analógicos tienen dedicados puertos I/O para que puedan ser probadas sus especificaciones por instrumentos de prueba externos. Recientes intentos en la integración de algunos mecanismos de prueba han sido llevados a cabo, ver [3].

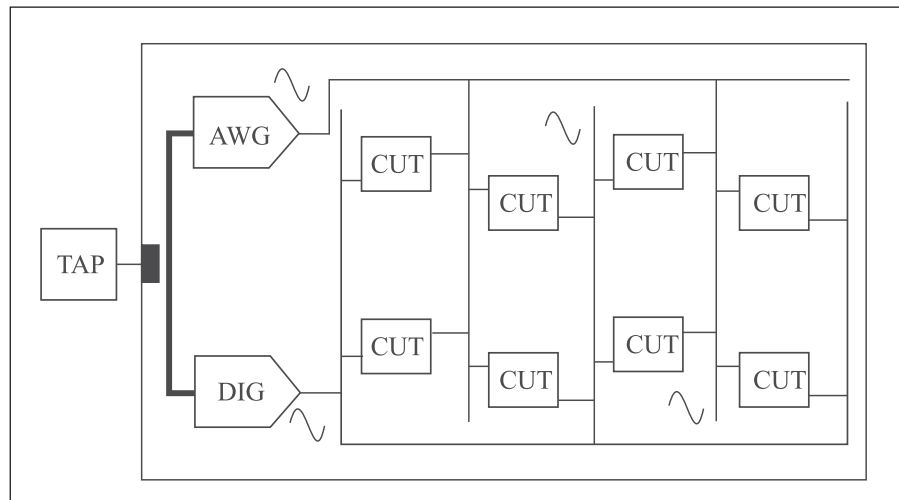
Aunque en los años recientes la productividad de los diseñadores ha crecido de manera significativa, los niveles de integración presente y futuro están forzando a los fabricantes de semiconductores a confiar en el diseño basado en bloques funcionales prediseñados. Como un resultado, nuevas herramientas y metodologías están siendo constantemente desarrolladas para alcanzar esta meta. En el contexto del diagnóstico a los bloques funcionales analógicos y de señal mixta, la integración profunda o de alta densidad de tales bloques, han traído consigo retos significativos para los fabricantes. Considere por ejemplo la situación mostrada en la figura 1.

En esta figura, un solo circuito integrado está representado como una colección de bloques suficientemente complejos, CUT (*Circuit Under Test*). Probar estos bloques, sea para verificarlos o caracterizarlos, o para la localización de defectos de fabricación (diagnóstico), podría



**Figura 1.** Mecanismos de prueba de bloques funcionales analógicos por métodos externos [3].

**Figura 2.** Mecanismos de prueba de bloques funcionales analógicos por métodos internos [3].



parecer la prueba de cada uno de los bloques de forma independiente, excepto por el hecho de que las I/O de una buena cantidad de ellos no son accesibles desde el exterior. Un esfuerzo significativo para estandarizar el acceso para pruebas ha sido evidenciado, en los últimos años, en forma del estándar IEEE1149.4 para un bus de prueba analógico [42]. Este estándar proporciona la conectividad de los bloques al bus de prueba analógico a través de conmutación controlada digitalmente, esto quiere decir que sus buses normales son conmutados con un bus de diagnóstico, y esta conmutación se realiza digitalmente. El concepto es similar a las estructuras de acceso para diagnóstico digital, sin embargo, las señales analógicas están siendo transportadas a través del circuito integrado ya sea de los instrumentos de excitación o hacia los

instrumentos de medida, los cuales son todos externos. Dados los severos ambientes generados por este tipo de pruebas, en los cuales los bloques analógicos están generalmente integrados, la cuestión clave es si tal aproximación para las medidas de comportamiento de los bloques es viable.

Una forma para mejorar la capacidad de medida, especialmente cuando es requerido un diagnóstico rápido, es integrar un generador de señales y un digitalizador, en la forma de convertidores D/A y A/D, respectivamente, ver figura 2. Esto se conoce como aproximación BIST (*Built-in Self Test*).

Esto elimina los puertos de entrada analógicos, ya que los convertidores D/A y A/D son controlados utilizando el puerto de pruebas digitales

TAP, pero un bus de prueba analógico se utiliza para transportar las señales analógicas en el interior del chip. Un problema con esta aproximación es el área requerida por los convertidores de datos integrados. En algunos casos, los convertidores A/D y D/A pueden llegar a consumir áreas significativas, siendo un valor típico alrededor de 10 mm<sup>2</sup> o más, en procesos CMOS de geometría fina [3]. Más importante aún es el hecho de que la integración de tales convertidores de datos requiere esfuerzos de diseño y tiempo, que la mayoría de los diseñadores no están dispuestos a realizar. Por otra parte, los mecanismos de acceso para las pruebas, que son los buses que llevan la información de prueba al interior del chip, están regidos por los estándares IEEE 1149.X y IEEE 1500, y el fabricante del circuito integrado escoge la solución que más le convenga según sus criterios, la aplicación del circuito y su metodología de fabricación.

### 2.3 Tipos de fallas y tipos de diagnóstico

En un circuito integrado existen dos tipos de defecto en general. Los defectos globales y los defectos locales. Los defectos globales, son aquellos que afectan a todos los dados en la oblea de silicio, y son debidos a fallas en el control de los parámetros en el proceso de fabricación (control de temperatura, nivel de humedad, tiempos de exposición del silicio a los distintos químicos del proceso, etc.). Los defectos locales, son los que afectan a unos pocos dados en la oblea de silicio. Son debido a impurezas que se cuean dentro del cuarto blanco (partículas de polvo, etc.) y dañan los circuitos. Ambos defectos pueden producir dos tipos de fallas conocidas: fallas estructurales y fallas paramétricas. Las fallas estructurales son las que cambian la topología del circuito, tales como cortos circuitos y circuitos abiertos. Si las fallas estructurales hacen inservible el circuito, se les conoce como catastróficas, de lo contrario, se les conoce como no catastróficas. Las fallas paramétricas no cambian la topología del circuito, pero lo hacen funcionar fuera de las especificaciones establecidas en el diseño. Estas fallas son debidas a las tolerancias de los componentes del circuito [12].

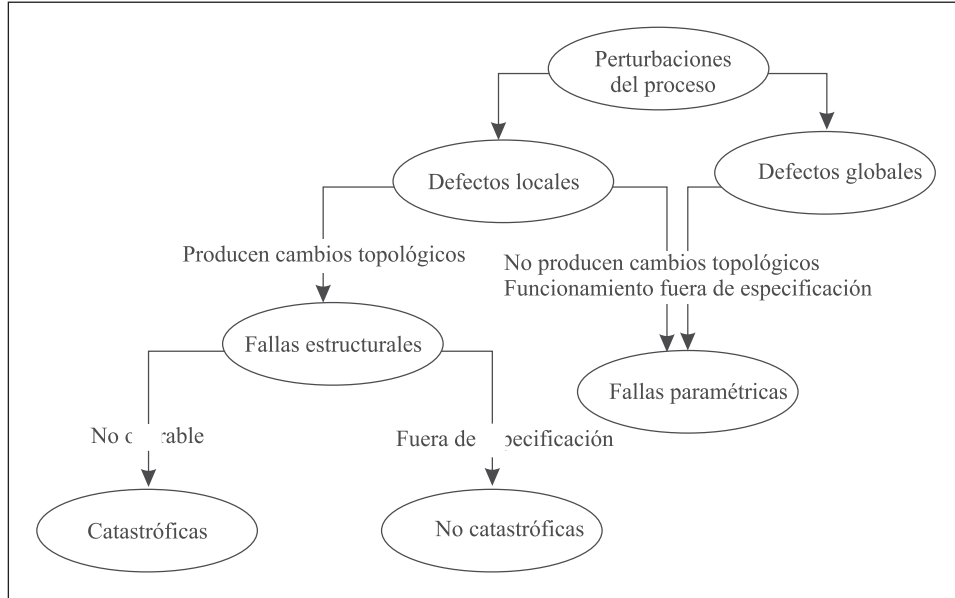
Por otra parte, se cuentan con 2 tipos de metodologías de diagnóstico a saber: diagnóstico orientado a fallas y diagnóstico orientado a especificación. El diagnóstico orientado a fallas tiene por objeto no solo la discriminación de un circuito como fallido, sino que también pretende especificar ante que tipo de falla se enfrenta el diseñador y donde esta ubicada dentro del circuito. El diagnóstico orientado a especificación se encarga de verificar el cumplimiento de las especificaciones por parte del circuito, y a partir de allí determinar si el circuito es fallido o no. Para este tipo de diagnóstico no se está interesado en la falla como tal, solo en la validación del funcionamiento [12].

### 3. Pruebas sobre circuito integrados de comunicaciones en la actualidad

En la actualidad existen dos formas de hacer pruebas a circuitos integrados de comunicaciones. La primera consiste en técnicas basadas en ATE, en donde básicamente se cuenta con grandes y costosos equipos que sirven para caracterizar y validar el funcionamiento de los dispositivos. La segunda son técnicas DFT. DFT consiste en pensar desde el diseño mismo del sistema integrado como será la realización de las pruebas de verificación de su funcionamiento, y proporcionar los mecanismos para facilitar este proceso [43][46]. En esta segunda forma se destacan las aproximaciones BIST. BIST consiste en integrar en la misma oblea de silicio bloques que realicen funciones con las que antes solo se contaba externamente, y que son imprescindibles en las pruebas de estos sistemas, tales como generadores de señales, convertidores D/A, procesadores de señal para análisis de las respuestas, entre otros [8][49]. En [31-40] aparecen de forma detallada estrategias de diagnóstico de circuitos RF.

BIST, en particular, ha llegado a ser un recurso de alto impacto por diferentes razones. Primero, reduce la complejidad y el costo de ATE externo y su interfaz con el dispositivo bajo prueba, y por tanto es deseable integrar algunas o todas las funciones de prueba necesarias para la aplicación en particular. Segundo, el creciente costo





**Figura 3.** Tipos de defectos que se pueden presentar en la fabricación de un circuito integrado, y las fallas asociadas a estos defectos [12].

de empaquetamiento de IC demanda la implementación de soluciones de prueba a nivel de oblea de silicio, para de esta manera reducir las pérdidas producidas por el empaquetamiento de IC en mal estado. Tercero, la alta capacidad de las técnicas BIST para localizar bloques fallidos en el sistema integrado, aumenta la productividad en el proceso de fabricación. Entiéndase por productividad, la razón entre el número de circuitos en buen estado y el número de circuitos total fabricados. Para la efectividad de la estrategia BIST [44-45] en circuitos de comunicaciones, esta debe cumplir algunos requerimientos tales como, robustez, transparencia al modo de operación del dispositivo bajo prueba, y un reducido consumo de área [11].

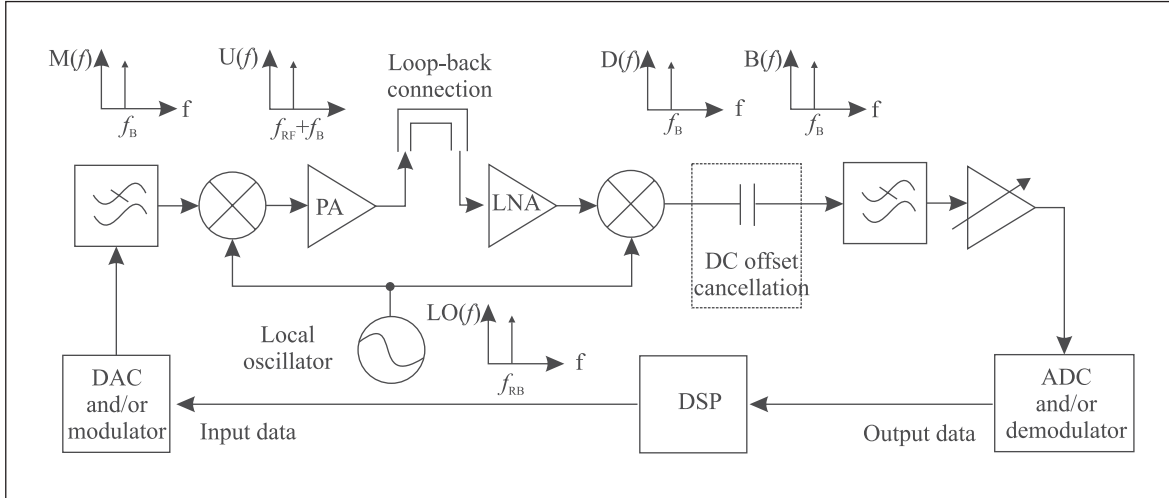
Dentro de las estrategias BIST más usuales en la actualidad podemos mencionar 3: OBIST (Oscillating BIST), Loopback y MADBIST. Se hará una presentación de cada una de estas estrategias.

### 3.1 Aproximaciones de diagnóstico usuales para circuitos de comunicaciones

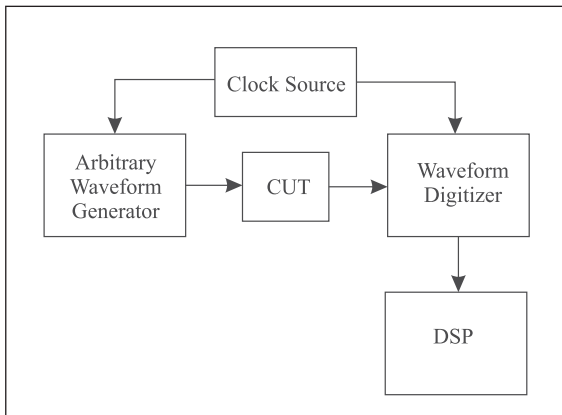
**OBIST.** Este método de prueba esta basado en la capacidad de partir un circuito de comunicaciones complejo en bloques de construcción funcionales menos complejos que el sistema, tales como: amplificador, amplificador ope-

racional, comparador, disparador de Schmitt, filtro, referencia de voltaje, oscilador, PLL, etc., o una combinación de estos bloques ya mencionados. Durante el modo de prueba, cada uno de los bloques de construcción es convertido en un circuito oscilante con la adición de algunos elementos. La clave esta en expresar la frecuencia de oscilación del circuito como una función de los componentes del dispositivo bajo prueba o como una función de sus parámetros más importantes. Los bloques de construcción que por naturaleza son osciladores, no requieren la adición de elementos adicionales, y su frecuencia de salida puede ser medida y evaluada directamente. La capacidad de observar una falla en un componente o parámetro puede ser definida como la sensibilidad de la frecuencia de oscilación con respecto al componente o parámetro en cuestión. Para incrementar esta capacidad de observar un defecto en un componente o parámetro la sensibilidad de la frecuencia de oscilación respecto a ese componente o parámetro se debe incrementar. Es decir, durante el proceso de conversión del circuito bajo prueba en un oscilador, su arquitectura debe ser escogida de tal forma que se maximice la dependencia de la frecuencia de oscilación del valor de los componentes del circuito bajo prueba. Por tanto, las fallas en los componentes de un sistema se manifiestan en las desviaciones que sufre la





**Figura 4.** Mecanismos Loopback aplicado a un transceptor [11].



**Figura 5.** Diagrama de bloques de una estrategia MADBIST [6].

frecuencia de oscilación, y de esta manera se pueden detectar. Es una estrategia efectiva para determinar fallas paramétricas [10].

**Loopback.** Esta estrategia consiste en la conexión directa entre el transmisor y el receptor. No requiere un estímulo externo, y es efectiva en la detección de fallas catastróficas. En la figura 4 se puede observar este esquema para arquitectura transceptor [48].

En esta configuración, la sección banda-base del transmisor genera un tono o una señal modulada ( $M$ ) con una frecuencia central  $f_B$ . El mezclador ascendente combina la señal de entrada  $M$  con una proveniente del oscilador local  $LO$ , que tiene

frecuencia  $f_{RF}$ , y produce un tono ubicado en  $f_B + f_{RF}$ . El lazo de conexión entre el transmisor y el receptor debe atenuar la señal de salida del amplificador de potencia ( $PA$ ) para hacerla adecuada al rango dinámico del amplificador de bajo ruido ( $LNA$ ). Luego, el mezclador descendente utiliza el mismo tono  $LO$  del oscilador local para regresar la señal a su frecuencia original,  $f_B$ , obteniéndose una señal  $D$  [11][8].

**MADBIST.** Básicamente es un sistema de prueba casi completamente integrado basado en DSP genérico, ver figura 5. El sistema consiste en un generador de formas de onda de banda limitada y un convertidor A/D (digitalizador de formas de onda), ambos bloques sincronizados con una misma señal de reloj. La forma de realizar pruebas con esta aproximación, es generando una forma de onda arbitraria a una frecuencia y amplitud específica, todo dependerá de la aplicación, enviarla al CUT, y luego capturar la respuesta del CUT y digitalizarla para enviarla al exterior, en donde se somete a un procesamiento intensivo en un DSP, que permite la caracterización del CUT y la verificación del cumplimiento de sus especificaciones [6][29-30][41].

La generación de formas de onda se puede hacer de dos maneras: integrando osciladores convencionales analógicos basados en condensadores, inductores y dispositivos activos, o realizando

una implementación digital de osciladores  $\Sigma\text{-}\Delta$  [7][26-28][47]. El proceso de digitalización se puede realizar utilizando convertidores A/D convencionales, o utilizando un proceso de captura de alta velocidad, tal como el desarrollado en [5].

### 3.2 Aproximaciones neuronales para el diagnóstico de circuitos analógicos

Como se puede concluir del apartado anterior, no se usan regularmente las redes neuronales artificiales para hacer diagnóstico de circuitos de comunicaciones, pero estas podrían representar una buena alternativa en este campo. Revisaremos ahora algunas de las aproximaciones encontradas en el diagnóstico de circuitos analógicos de baja frecuencia.

En [18] se propone la realización del diagnóstico de los circuitos integrados analógicos a partir del monitoreo de la corriente de alimentación dinámica [20-24]. La corriente de alimentación dinámica de los circuitos analógicos depende de los parámetros del mismo, por tanto es una buena medida para observar la variación de estos últimos ante problemas en el proceso de fabricación. Básicamente, se captura el comportamiento de la corriente de alimentación, y el patrón obtenido (muestras de la corriente en diferentes tiempos) se ingresa a una red neuronal, la cual clasifica a los circuitos como buenos o malos [25]. En [17] se propone una estrategia parecida a la anterior, pero para reducir la complejidad de la red neuronal, se realiza un pre-procesamiento previo del patrón con una descomposición Wavelet antes de la red. En [15] lo que se hace es modelar el circuito en buen estado a través de una red neuronal, luego se ingresa un estímulo de prueba (para el caso, ruido pseudoaleatorio) tanto al circuito que se está probando como al modelo de la red, y se comparan sus respuestas. Luego se decide, dependiendo de la magnitud del error, si el circuito es malo o bueno [19].

## 4. Discusión

En los circuitos digitales se requiere medir pocas especificaciones (tiempo de subida, tiempo de bajada, retardo de propagación, voltaje de

umbral lógico y así sucesivamente). Estas especificaciones son usualmente las mismas para todos los circuitos digitales e independientes de la aplicación. En contraste, los circuitos analógicos, de señal mixta y de comunicaciones incluyen diferentes clases o modelos, por ejemplo, filtros, amplificadores operacionales, Convertidores A/D y D/A, PLL y así sucesivamente. Cada uno de estos tipos de circuito tiene un conjunto de especificaciones que es diferente de una clase a la otra. Además, estas especificaciones dependen de la aplicación en particular, incluso para el mismo circuito. Por tanto, la verificación de cada uno de los parámetros relacionados con estas especificaciones puede ser difícil, costosa y de alto consumo de tiempo.

En el dominio digital hay solo un circuito bueno. Por su parte, en el dominio analógico hay una gran cantidad de circuitos buenos, debido a la variación normal de los parámetros (tolerancia), así como una gran cantidad de circuitos malos. Existe un vasto número de posibles señales de entrada que podrían ser usadas para manejar cada uno de los pines de entrada del circuito analógico. Por su parte, en los circuitos digitales las entradas solo pueden tomar dos posibles valores ("0" y "1"). Los circuitos analógicos pueden ser descritos en 2 dominios: tiempo y frecuencia. Cada uno de estos dominios tiene sus propias especificaciones y metodologías de descripción de los circuitos.

Lo anterior hace imposible contar con una estrategia universal que permita verificar todos los circuitos de comunicaciones, y analógico en general, todo dependerá del circuito específico con el que estemos tratando y de la aplicación que tendrá. En este sentido, no podemos hablar de estrategias buenas y malas, o de que unas sean mejores que otras, ya que cada una de estas aproximaciones ha sido concebida para una necesidad en particular, y contrastarlas unas con otra no sería lógico. Sin embargo, y a la luz de las fuerzas que rigen el diseño microelectrónico moderno, la estrategia MADBIST combinada con la capacidad de clasificación de patrones que ofrecen las redes neuronales resulta atractiva, dado que los niveles de integración alcanzados hoy día son tan altos que la incorporación de

los elementos de prueba en el mismo sistema es necesaria, y con esto se eliminaría la necesidad de convertidores A/D y de un procesamiento de señal posterior, pero con esto no se busca superar las ya propuestas, sino simplemente proporcionar una alternativa más que será útil en aplicaciones como la aquí concebida (diagnostico de filtros).

## Conclusiones

Se realizó una introducción a los nuevos paradigmas que rigen el diseño electrónico moderno. La filosofía imperante es tratar de integrar la mayor cantidad de bloques funcionales en un mismo circuito integrado, por ende, el diseño Microelectrónico toma una posición de importancia. Luego, se comentaron los principios que rigen el diseño microelectrónico actual, y se mencionan los retos que este trae consigo, tanto en lo referente al diseño como al diagnostico de los circuitos integrados, y se comentan también algunas estrategias que han surgido para superar los mencionados retos. Se esbozaron los distintos tipos de defecto y fallas que se pueden presentar en un circuito integrado debido a imperfecciones en el proceso de fabricación, y las tipos de diagnostico que surgen para cada uno de ellos. Finalmente, se introdujeron los mecanismos de prueba utilizados en la fabricación de circuitos integrados para comunicaciones, donde las técnicas relevantes son las tipo BIST. Se estudian brevemente 3 técnicas a saber: OBIST, MADBIST y Loopback, y se introducen algunas aproximaciones neuronales para el diagnostico de circuitos analógicos de baja frecuencia. Finalmente se explica una estrategia de diagnostico basado en una combinación de MADBIST con una red neuronal, la cual tiene un rendimiento del 80%.

La conclusión más relevante de este estudio es que dada la naturaleza del diseño electrónico analógico, el diagnostico de circuitos integrados de este tipo es prácticamente un arte, ya que no existen estándares establecidos universalmente, sino que han surgido técnicas particulares para dar solución a problemas en aplicaciones específicas, y cada quien utiliza la que mejores prestaciones presente para su aplicación, pero

en la mayoría de los casos, los fabricantes deben diseñar sus propias estrategias. Lo anterior hace difícil realizar comparaciones entre distintas técnicas.

## Referencias

- [1] RUIZ MERIÑO, Ramón. *Notas de clase del curso técnicas de análisis y diseño electrónico UPCT*. 179 p. Material no publicado.
- [2] ZORIAN, Yervant. *System-chips test strategies*. En: DESIGN AUTOMATION CONFERENCE. (35<sup>th</sup>: 1998: San Francisco). San Francisco. ACM: 1998. 6 p.
- [3] HAFED, Mohamed; ABASKHAROUN, Nasmy y ROBERTS, Gordon. *A 4-GHz effective sample rate integrated test core for analog and mixed-signal circuits*. En: IEEE journal of solid-state circuits. Vol. 37, No 4 (Abril, 2002); p. 499-514.
- [4] KUNDERT, Ken et al. *Design of mixed-signal systems-on-a-chip*. En: IEEE transactions on computer-aided design of integrated circuits and systems. Vol. 19, No 12 (Diciembre, 2000); p. 1561-1571.
- [5] HAFED, Mohamed y ROBERTS, Gordon. *A stand-alone integrated excitation/extraction systems for analog BIST application*. En: IEEE COSTUM INTEGRATED CIRCUIT CONFERENCE (2000). IEEE: 2000. 4 p.
- [6] HAFED, Mohamed y ROBERTS, Gordon. *Techniques for high-frequency integrated test and measurement*. En: IEEE transactions on instrumentation and measurement. Vol. 52, No 16 (Diciembre, 2003); p. 1780-1786.
- [7] HAURIE, Xavier y ROBERTS, Gordon. *Arbitrary-precision signal generation for mixed-signal built-in-self-test*. En: IEEE transactions on circuits and systems—II : Analog and digital signal processing. Vol. 45, No 11 (Noviembre, 1998); p. 1425-1432.
- [8] ABDENNADHER, Salem y SHAIKH, Saghir. *Practices in Mixed-Signal and RF IC Testing*. En: IEEE Design and Test of Computers. (Julio-Agosto, 2007); p. 332 – 339.

- [9] VEILLETTE, Benoit y ROBERTS, Gordon. *A Built-In Self-Test Strategy for Wireless Communication Systems*. En: International Test Conference. (1995); p. 930 - 939.
- [10] ARABI, Karim y KAMINSKA, Bozena. *Design for Testability of Embedded Integrated Operational Amplifiers*. En: IEEE Journal of Solid-State Circuits. Vol. 33, No 4 (Abril 1998); p. 573 – 581.
- [11] VALDES-GARCIA, Alberto et al. *On-Chip Testing Techniques for RF Wireless Transceivers*. En: IEEE Design and Test of Computers. (Julio-Agosto, 2006); p. 268 – 277.
- [12] MILOR, Linda. *A Tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing*. En: IEEE transactions on circuits and systems—II : Analog and digital signal processing. Vol. 45, No 10 (Octubre, 1998); p. 1398-1407.
- [13] CLAASEN, Theo. *System on a Chip: Changing IC Design Today and in the Future*. En: IEEE Micro, May-June 2003; p. 20 – 26.
- [14] ROBERTS, Gordon. *Metrics, Techniques and New Developments in Mixed-Signal Testing*. En: Tutorial in Design, Automation and Test in Europe Conference and Exhibition. 2001.
- [15] KABISATPATHY, Prithviraj et al. *Fault Detection and Diagnosis in Analog Integrated Circuits Using Artificial Neural Network in a Pseudorandom Testing Scheme*. En: International Conference on Electrical and Computer Engineering. December 2004. p. 52 – 55.
- [16] CZAJA, Zbigniew y KOWALEWSKI, Michal. *A New Method for Diagnosis of Analog Parts in Electronic Embedded Systems with Two-Center Radial Basis Function Neural Networks*. En: IMEKO TC4 Symposium. September 2008.
- [17] STOPJAKOVA, Viera et al. *Neural Network-Based Defect Detection in Analog and Mixed IC Using Digital Signal Preprocessing*. En: Journal of ELECTRICAL ENGINEERING. Vol. 57, No. 5. (2006). p. 249 – 257.
- [18] ] STOPJAKOVA, Viera et al. *Neural Network-Based Parametric Testing of Analog IC*. En: Proceedings of the 17<sup>th</sup> IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. 2002.
- [19] HAURIE, Xavier y ROBERTS, Gordon. *Arbitrary-precision signal generation for mixed-signal built-in-self-test*. En: IEEE transactions on circuits and systems—II : Analog and digital signal processing. Vol. 45, No 11 (Noviembre, 1998); p. 1425-1432.
- [20] L. K. Horning, et al, “Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing”, *Proc. Int. Test Conf.*, 1987, pp. 300-309.
- [21] J.M. Soden, and F. Hawkins, “IDDQ Testing and Defect Classes”, *Proc. IEEE Custom Int. Circuits Conf.*, 1995, pp.633-642.
- [22] J. Segura, M. Roca, D. Mateo, and A. Rubio, “Built-in dynamic current sensor circuit for digital VLSI CMOS testing”, *Electronics Letters*, vol. 30, pp.1668-1669, 1994.
- [23] S-T. Su, R.Z. Makki, and T. Nagle, “Transient Power Supply Current Monitoring - A New Test Method for CMOS VLSI Circuits”, *JETTA*, vol. 6, pp. 23-43, 1995.
- [24] V. Stopjakova, H. Manhaeve, and M. Sidiropulos, “On-chip Transient Current Monitor for Testing of Low-Voltage CMOS IC”, *Proc. Design. Autom. and Test in Europe*, 1999, pp. 538-542.
- [25] A. Germida, Z. Yan, J. F. Plusquellic, and F. Muradali, “Defect Detection using Power Supply Transient Signal Analysis”, *Proc. Int. Test. Conf.*, 1999, pp. 67-76.
- [26] M.F. Toner and G.W. Roberts, “A BIST Scheme for an *SNR*, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC,” *IEEE Trans. On Circuits and Systems-II*, Vol. 41, No. 12, pp.1-15, January 1995.
- [27] A.K. Lu, G.W. Roberts and D.A. Johns, “A High- Quality Analog Oscillator Using Oversampling D/A Conversion Techniques,” *IEEE Trans. on Circuits and Systems-II*, vol. 41, no. 7, July 1994, pp. 437444.
- [28] B.R. Veillette and G.W. Roberts, “High Frequency Sinusoidal Generation Using Delta-Sigma Modulation Techniques,” *IEEE International Symposium on Circuit And Systems*, pp.637-640, Seattle, May 1995.



- [29] M.J. Ohletz, "Hybrid built-in self-test (HBIST) for mixed analogue/digital integrated circuits," *Proc. European Test Conference*, pp. 307-316, 1991.
- [30] M.F. Toner and G.W. Roberts, "A BIST Technique for a Frequency Response and Intermodulation Distortion Test of a Sigma-Delta ADC," *IEEE VLSI Test Symposium*, pp. 60-65, Cherry Hill, April 1994.
- [31] S. Ozev, A. Orailoglu, and C.V. Olgaard, "Multilevel Testability Analysis and Solutions for Integrated Bluetooth Transceivers," *IEEE Design & Test*, vol. 19, no. 5, Sept.-Oct. 2002, pp. 82-91.
- [32] J. Ferrario, R. Wolf, and S. Moss, "Architecting Millisecond Test Solutions for Wireless Phone RFICs," *Proc. Int'l Test Conf. (ITC 03)*, IEEE Press, 2003, pp. 1325-1332.
- [33] S.S. Akbay et al., "Low-Cost Test of Embedded RF/Analog/Mixed-Signal Circuits in SOPs," *IEEE Trans. Advanced Packaging*, vol. 27, no. 2, May 2004, pp. 352- 363.
- [34] S. Bhattacharya et. al., "Alternate Testing of RF Transceivers Using Optimized Test Stimulus for Accurate Prediction of System Specifications," *J. Electronic Testing: Theory and Applications*, vol. 21, no. 3, June 2005, pp. 323-339.
- [35] M. Jarwala, L. Duy, and M.S. Heutmaker, "End-to-End Test Strategy for Wireless Systems," *Proc. Int'l Test Conf. (ITC 95)*, IEEE Press, 1995, pp. 940-946.
- [36] S. Ozev and C. Olgaard, "Wafer-Level RF Test and Dft for VCO Modulating Transceiver Architectures," *Proc. 22nd VLSI Test Symp. (VTS 04)*, IEEE Press, 2004, pp. 217-222.
- [37] J.-S. Yoon and W.R. Eisenstadt, "Embedded Loopback Test for RF ICs," *IEEE Trans. Instrumentation and Measurement*, vol. 54, no. 5, Oct. 2005, pp. 1715-1720.
- [38] S. Bhattacharya and A. Chatterjee, "Use of Embedded Sensors for Built-In-Test of RF Circuits," *Proc. Int'l Test Conf. (ITC 04)*, IEEE Press, 2004, pp. 801-809.
- [39] J.-Y. Ryu and B.C. Kim, "Low-Cost Testing of 5 GHz Low Noise Amplifiers Using New RF BIST Circuit," *J. Electronic Testing: Theory and Applications*, vol. 21, no. 6, Dec. 2005, pp. 571-581.
- [40] A. Valdes-Garcia et al., "A CMOS RF RMS Detector for Built-in Testing of Wireless Receivers," *Proc. 23rd VLSI Test Symp. (VTS 05)*, IEEE Press, 2005, pp. 249-254.
- [41] Mahoney, M.: *DSP-Based Testing of Analog and Mixed-Signal Circuits*, Washington DC, IEEE Computer Soc. Pr. 1987.
- [42] IEEE P1149.4 proposal "standard for mixed signal test bus" March 1995, IEEE Standards Department, 445 Hoes Lane, PO Box 1331, Piscataway, NJ 08855-1331, USA.
- [43] A. H. Bratt, A. M. D. Richardson, R. J. A. Harvey, and A. P. Dorey: "A design-for-test structure for optimising analogue and mixed signal IC test", in *Proc. European Design & Test Conference*, Paris, France, March 1995, pp. 24-32.
- [44] L. Wurtz, "Built-in self-test structure for mixed-mode circuit", *IEEE Trans. Instr. and Measur.*, vol. 42, pp. 25-29, Feb. 1993.
- [45] T. Olbrich, A. Richardson, A. Bratt, "Built-In Self-Test (BIST) for high-performance switched-current designs", in *Proc. Intern. Workshop on Mixed Signal Testing*, Grenoble, France, June 1995, pp. 246-251.
- [46] D Vazquez, A Rueda & J.L. Huertas, "A Dff methodology for active anaolgue filters", *IEEE Mixed Signal Test Workshop*, Grenoble, 20th-22nd June 1995.
- [47] J . Fattaruso, S. Kiriaki, M. Wit, and G. Warwar, "Selfcalibration techniques for a second-order multibit sigmadelta modulator", *IEEE J ournal of Solid-State Circuits*, vol. 28. no. 12, pp. 1216-1223, 1993.
- [48] D. Lupea, U. Pursche, H.-J. Jentschel, "BIST: loopback spectral signature analysis", *IEEE Proceedings of the DATE Conference and Exhibition (2003)* pp. 478-483.
- [49] J.Y. Ryu, B.C. Kim, I. Sylla, A new BIST scheme for 5 GHz low noise amplifiers, *Proceedings of IEEE Ninth ETS (2004)* pp. 228-233.
- [50] M. Soma, Challenges and approaches in mixed signal rf testing, *IEEE Proc.* 1997; 33-37.