

Modelo computacional de un modulador Σ - Δ de 2° orden para la generación de señales de prueba en circuitos integrados analógicos

Computer model of a Σ - Δ modulator 2nd order for generating testing signals in analog integrated circuits

José G. Simancas¹ y José C. Ortiz²

Fecha recepción: mayo 22 de 2014 - Fecha aceptado: octubre 21 de 2014

ABSTRACT

This article describes the computational model of a 2nd order Σ - Δ modulator used to generate Pulse-density Modulated (PDM) signals. Such a model was required as part of a previous work carried by one of the authors in order to perform design verification of analog integrated circuits. For this purpose, the theoretical performance of the Σ - Δ modulators was studied, and the mathematical model of the latter was performed using finite difference equations under coherent sampling. After this, the modulator was implemented using Matlab™ mathematical model. Then, it was verified that it behaved according to the theory of Σ - Δ modulation by performing simulations. As this work is complementary to a previously developed one, as already mentioned, we were careful that the stimuli encoded in the PDM signals was recoverable through a low pass filtering. Therefore, such filter was implemented in Matlab™, and after that we applied the PDM signals to its input. The result was the successful recovery of the stimuli, but with remaining noise outside and within the band of interest. It was evident that filtering was not able to remove the noise completely. Although

keywords: Σ - Δ modulator, PDM signals, computational model, low pass filter, verification of analog integrated circuits.

RESUMEN

En este artículo se realiza el modelo computacional de un modulador Σ - Δ de 2° orden para la generación de las señales Pulse Density Modulated (PDM) (modulado por densidad de pulso) requerido en el diseño propuesto por uno de los autores en un trabajo anterior que trata sobre la verificación del funcionamiento de circuitos integrados analógicos. Para este propósito, se estudia el funcionamiento teórico de los moduladores Σ - Δ , y se realiza el modelo matemático de

¹ Ingeniero Electrónico. Corporación Universidad de la Costa CUC, jsimanca3@cuc.edu.co.

² Ingeniero Electrónico. Corporación Universidad de la Costa CUC, jcaicedo1@cuc.edu.co.



este último usando las ecuaciones en diferencias finitas en el marco del muestreo coherente. Luego de esto, se codifica en Matlab™ el modelo matemático y se verifica que tal modelo se comporta conforme a la teoría de la modulación Σ - Δ mediante simulaciones. Debido a que este trabajo es complementario a uno desarrollado con anterioridad, como ya se mencionó, se debe verificar que los estímulos que están codificados en las señales PDM sean recuperables mediante un filtro pasa-bajas, por tanto, se implementó el filtro en Matlab™ y se le aplicó a las señales PDM. El resultado fue la correcta recuperación de los estímulos pero con un ruido remanente (fuera y dentro de la banda de interés) no eliminable mediante filtrado que

Palabras clave: Modulador Σ - Δ , señales PDM, modelo computacional, filtro pasa-bajas, verificación de circuitos integrados analógicos.

INTRODUCCIÓN

Hasta hace poco tiempo, muchos sistemas electrónicos estaban compuestos de una o más tarjetas de circuito impreso y cada una de estas se encontraba formada por muchos circuitos integrados. Recientes avances en métodos de diseño y tecnologías de manufactura han permitido integrar todos estos sistemas completos en un solo chip [1]. La combinación de la creciente demanda por la electrónica de consumo y el constante crecimiento en la densidad de empaquetamiento de los dispositivos semiconductores, están conduciendo hacia la integración de más y más sistemas funcionales en un solo circuito integrado. El resultado, entre otras cosas, es una incrementada necesidad por la integración de componentes analógicos y en modo mixto, por ejemplo, analógico-digital, RF-analógico-digital y mecánico-analógico-digital, en el mismo chip o paquete. Estos, también llamados *SoC* (*Systems on Chip*, Sistemas en un *Chip*), ofrecen ventajas tales como alto rendimiento, bajo consumo de potencia y poco volumen y peso cuando son comparados con sus equivalentes tradicionales que poseían múltiples chips. Tales sistemas son muy heterogéneos en el sentido de que contienen tecnologías mixtas, tales como lógica digital y analógica. También es posible diseñar estos sistemas por medio de la integración de varios bloques de construcción re-utilizables denominados bloques funcionales o *Cores* [1]. Diseñar tales *SoC* es indudablemente un desafío, ya que éste vincula el manejo de abstracción a nivel de

sistemas mientras simultáneamente trata con los efectos físicos de los transistores y los fenómenos eléctricos parásitos indeseables, tales como capacitancias de acoplamiento entre pistas, entre otros, asociados al circuito, que se intensifican con el aumento de la complejidad de los sistemas. De la misma manera, la próxima generación de pruebas de *SoC* representa un reto real, especialmente cuando el costo y el tiempo de salida al mercado son usualmente requerimientos claves. Tales circuitos integrados de señal mixta contienen trayectorias de señales y especificaciones funcionales muy complejas, y los programas de pruebas desarrollados podrían no ser muy viables, ya que estos serían significativamente lentos en la caracterización y depurado del dispositivo, lo cual incrementaría enormemente el tiempo de salida al mercado (*TTM*, *Time to Market*) [2]”page”:"1561-1571”,"volume”:"19”,"is sue”:"12”,"source”:"IEEE Xplore”,"abstract”:"The electronics industry is increasingly focused on the consumer marketplace, which requires low-cost high-volume products to be developed very rapidly. This, combined with advances in deep submicrometer technology have resulted in the ability and the need to put entire systems on a single chip. As more of the system is included on a single chip, it is increasingly likely that the chip will contain both analog and digital sections. Developing these mixed-signal (MS. La dificultad es acentuada por otro aspecto de la integración a nivel de sistemas llamada integración de bloques funcionales de terceros. A fin de competir con la complejidad del diseño, los fabricantes del

sistema final están forzados a confiar en bloques pre-diseñados por otras empresas, y llevar a cabo la integración de éstos como parte de un sistema más grande y complejo. Estos bloques funcionales son obtenidos de librerías virtuales que describen mediante software el bloque como parte del sistema [3]except for a simple reconstruction filter and a comparator. It is capable of both generating arbitrary band-limited waveforms (for excitation purposes. Recientemente, tales módulos re-utilizables han capturado la atención de los diseñadores, quienes entienden el potencial de incrustarlos para construir los sistemas completos en un solo chip. Hacer lo anterior es similar a usar circuitos integrados en una tarjeta de circuito impreso, y los diseñadores están formando amplias librerías de bloques de construcción pre-diseñados y pre-verificados. Estos, también llamados *Embedded Cores*, han facilitado la importación de tecnología a nuevos sistemas y diferenciar los correspondientes productos a través de las ventajas que brinda la propiedad intelectual. Más importante aún, el uso de éstos módulos re-utilizables acorta el tiempo de salida al mercado para nuevos sistemas debido a la reutilización de los diseños [3]except for a simple reconstruction filter and a comparator. It is capable of both generating arbitrary band-limited waveforms (for excitation purposes.

Por el otro extremo de la soga están las pruebas, las cuales para la próxima generación de sistemas completos en un solo chip representarán un reto real para los diseñadores. Tales circuitos integrados de tecnología mixta tienen unas trayectorias de señal así como unas especificaciones muy complejas. Para realizar pruebas a estos sistemas, se deben utilizar *ATE (Automatic Test Equipment, Equipos de Prueba Automático)*, que son unos dispositivos externos que ayudan a realizar pruebas a los bloques internos del circuito integrado. Estos recursos *ATE* también utilizan unos algoritmos *ad-hoc*, que no son más que unos programas que llevan a cabo el manejo de tales recursos, es decir, controlan la operación de los *ATE*. Como estas pruebas se realizan en la fase de producción, se incrementa el *TTM* de los nuevos sistemas, y esto es un riesgo que los diseñadores no están dispuestos a correr [2]"page":1561-1571,"volume":19"i

sue":12,"source":IEEE Xplore,"abstract":The electronics industry is increasingly focused on the consumer marketplace, which requires low-cost high-volume products to be developed very rapidly. This, combined with advances in deep submicrometer technology have resulted in the ability and the need to put entire systems on a single chip. As more of the system is included on a single chip, it is increasingly likely that the chip will contain both analog and digital sections. Developing these mixed-signal (MS. En el dominio digital, los mecanismos y técnicas de prueba están en capacidad de probar la mayoría de los dispositivos existentes, y la información de prueba puede ser transportada sin pérdidas a lo largo del *SoC* y llevada al interior para ser aplicada a los bloques que se desean probar. También las respuestas de los bloques pueden ser extraídas de la misma forma para su estudio y análisis. Por esta razón, parece posible derivar un procedimiento sistemático por el cual, el integrador del sistema final puede acceder a los bloques funcionales virtuales que componen el chip. El problema en el dominio analógico, es lo complicada que resulta la inserción de las señales de prueba sobre largas líneas de interconexión en el interior de un chip y la posterior extracción de las respuestas de los bloques. Es altamente probable que ocurra una rápida degradación de las señales debido al ruido y la distorsión introducida por el comportamiento parasito de los elementos de interconexión en el interior del circuito integrado [3]except for a simple reconstruction filter and a comparator. It is capable of both generating arbitrary band-limited waveforms (for excitation purposes. Esta distorsión es tolerable en el plano digital debido a la naturaleza discreta de sus señales y al margen de ruido de las tecnologías utilizadas en la actualidad (*CMOS*), pero no es tolerable en el plano analógico, donde la distorsión en las señales de prueba y de respuesta puede conducir a una caracterización errónea de los bloques bajo prueba. Los mecanismos de acceso para pruebas, como por ejemplo *scan*, la utilización de los puertos para pruebas como *JTAG* y las técnicas para pruebas de diseño son muy eficientes. Esto se debe a que la información de prueba está en formato digital. Por esta razón, es posible derivar un procedimiento sistemático por medio

del cual el integrador final del sistema pueda acceder a los bloques funcionales que componen el diseño analógico usando señales digitales y posteriormente en el interior del chip realizar su conversión a señales analógicas a través de convertidores A/D embebidos en el diseño [3] except for a simple reconstruction filter and a comparator. It is capable of both generating arbitrary band-limited waveforms (for excitation purposes). Para una revisión más detallada de las técnicas de prueba de sistemas integrados analógicos se puede revisar el artículo [4].

Lo anterior, motivó al autor de este artículo a realizar un proyecto [5] en el año 2006 en el que se desarrolla una metodología de prueba de bloques funcionales analógicos, que utiliza bloques funcionales de prueba que se instalan en el interior del chip para realizar la caracterización del comportamiento de los circuitos a nivel de bloques funcionales, y a nivel del sistema en general. Específicamente, estas estructuras de prueba deben rodear los bloques analógicos y de señal mixta, para proporcionar por medio de señales digitales de prueba y caracterización, una estimación comportamental, es decir, una aplicación tipo *BIST* como la desarrollada en [6], sin la utilización de accesos directos externos, debido a que éstos accesos representan un puerto dedicado para pruebas con líneas de prueba analógicas en todo el chip. Para tal fin se llevó a cabo el diseño *VLSI* (*Very Large Scale Integration*, muy alta escala de integración) de un sencillo *hardware* mixto, capaz de extraer los estímulos sinusoidales codificados en señales *PDM* (*Pulse Density Modulated*, modulada por densidad de pulso), para la excitación de *CUT* (*Circuit Under Test*, circuito bajo prueba) en circuitos integrados mixtos, eliminando la necesidad de usar convertidores A/D y D/A , lo cual es ventajoso ya que éstos bloques son altos consumidores de área en los circuitos integrados. Las señales *PDM* deben ser generadas previamente y almacenadas en el interior del circuito integrado en algún tipo de memoria como se sugiere en [7]. Éste tipo de señales se pueden generar con moduladores Σ - Δ (*Sigma-Delta*), y ésta tarea quedó pendiente durante la realización de aquel proyecto. La razón por la que se escoge la conversión Σ - Δ es que la señal resultante es monobit (un tren de bit en

cuya densidad esta codificada la señal analógica) en lugar de las señales multibit propias de los convertidores A/D convencionales, requiriendo éstas últimas una cantidad de líneas de interconexión proporcional a la calidad de las señales de prueba que se ingresen al circuito integrado. Por ejemplo, si se requieren resoluciones de 16 bits, se necesitarían mínimo 16 líneas para ingresar los datos al interior del circuito integrado, sin mencionar las necesarias para realizar la sincronización. Resoluciones semejantes son fácilmente alcanzables con modulación Σ - Δ , sin necesitar más de una línea para los datos.

Por todo lo anterior, en el presente artículo se propone el desarrollo en *Matlab*[™] del modelo computacional de un modulador Σ - Δ que puede ser utilizado en la generación de las señales *PDM* que codificarán los estímulos sinusoidales utilizados en la aplicación desarrollada en [5].

Éste trabajo está organizado de la siguiente manera: en la sección II se da una explicación teórica de la modulación *Sigma-Delta*. En la sección III se realizan algunos cálculos sobre las características del modulador que será implementado usando para tal fin, las ecuaciones matemáticas establecidas por la literatura. En la sección IV se desarrolla el modelo o estructura computacional del modulador *Sigma-Delta* de 2° orden. En la sección V se presentan las pruebas al modelo computacional y se analizan los resultados con el objeto de verificar que el funcionamiento del modelo se ajusta a la teoría sobre la modulación *Sigma-Delta* mediante simulaciones en *Matlab*[™]. Finalmente, en la sección VI se dan las conclusiones.

II. MODULACIÓN SIGMA-DELTA

El trabajo en modulación Σ - Δ fue desarrollado como una extensión a la bien establecida modulación *Delta*. Se considerará la estructura modulación/demodulación para el proceso de conversión A/D . La Fig.1 muestra el diagrama de bloques del modulador *Delta*, y demodulador *Delta* se muestra en la Fig.2. La modulación *Delta* está basada en la cuantización del cambio en la señal de muestra a muestra en lugar del valor absoluto de la señal en cada muestra [8].

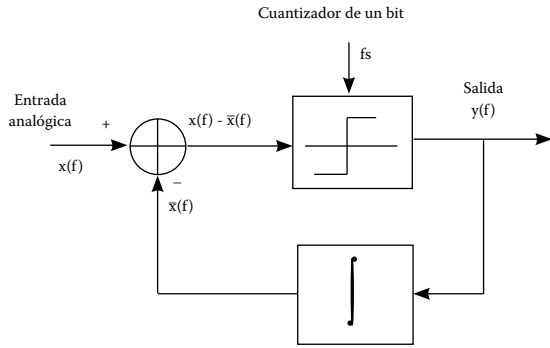


Figura 1. Diagrama de bloques del modulador *Delta* [8]

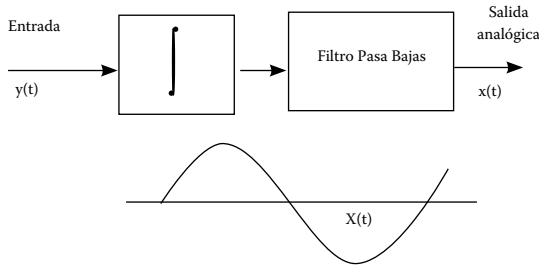


Figura 2. Diagrama de bloques del modulador Σ - Δ [8].

Ya que la salida del integrador en el lazo de realimentación de la Fig.1 trata de predecir el valor de la entrada, se dice que el integrador trabaja como un predictor. El término de error de predicción, es cuantizado y utilizado para hacer la próxima predicción. El error de predicción cuantizado, esto es, la salida de la modulación Delta es integrada en el demodulador de la misma forma como se hace en el lazo de realimentación. En otras palabras, el demodulador predice el valor de la señal de entrada a partir del error de predicción cuantizado, tal y como lo muestra la Fig.2. La señal predicha es luego suavizada con un filtro pasa bajas. Los moduladores Delta, además, exhiben una pendiente de sobrecarga para las señales de entrada que se elevan rápidamente, y debido a esto su rendimiento depende de la frecuencia de la señal de entrada [8].

La modulación Delta requiere dos integradores para realizar los procesos de modulación y demodulación, tal y como se muestra en la Fig.3. Ya que la integración es una operación lineal, el segundo integrador puede ser ubicado antes del modulador sin alterar las características entrada/

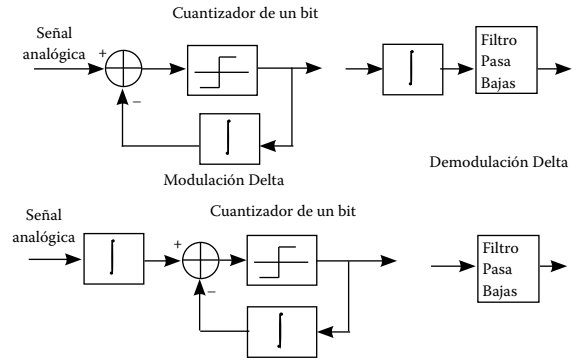


Figura 3. Diagramas de bloques del modulador y demodulador *Delta* [8].

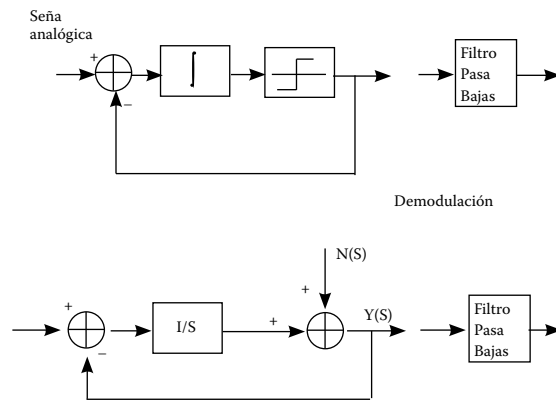


Figura 4. Diagrama de bloques del modulador y demodulador Σ - Δ .

salida generales. Además, los dos integradores en la Fig.3 pueden ser combinados en uno solo integrador por la propiedad de linealidad [8].

El arreglo mostrado en la Fig.4 es llamado un modulador Σ - Δ . Ésta estructura, además de ser muy simple, puede ser considerada como una versión suavizada del modulador Delta de un bit. El nombre de modulador Σ - Δ viene de colocar el integrador, denominado Sigma, frente al modulador Delta. La característica del ruido de cuantización de tal codificador es independiente de la frecuencia, en contraste a la modulación Delta [8]. Así como el modulador Delta, los moduladores Σ - Δ usan un simple cuantizador ordinario, en ocasiones referido como comparador. Sin embargo, a diferencia del modulador Delta, éstos sistemas codifican la integral de la señal y por tal razón, su rendimiento es insensible a la tasa de cambio de la señal [8].

Para demostrar la propiedad de eliminación de ruido, se utilizará como base el modelo simplificado en el dominio de Laplace de la Fig.4. Cabe agregar que el sumador a la derecha del integrador representa un comparador, y es aquí donde ocurre el muestreo y el ruido de cuantización es añadido al modelo. Ahora se determina la función de transferencia de señal, $H_x(s)$, y como hipótesis se debe decir que $N(s) = 0$, y se obtiene la siguiente relación a partir del modelo de la Fig.4.

$$\frac{Y(s)}{X(s)} = H_x(s) = \frac{\frac{1}{s}}{\left(1 + \frac{1}{s}\right)} = \frac{1}{1+s} \quad (1)$$

Respuesta que equivale a un filtro pasa bajas. Ahora se determina la función de transferencia de ruido, $H_e(s)$, y se debe establecer la hipótesis que $X(s) = 0$ y obtener las siguientes relaciones.

$$\frac{Y(s)}{N(s)} = H_e(s) = \frac{1}{\left(1 + \frac{1}{s}\right)} = \frac{s}{1+s} \quad (2)$$

A partir de aquí, se puede visualizar claramente el funcionamiento fundamental del modulador Σ - Δ . Primero el modulador Σ - Δ realiza un filtrado pasa bajas en la señal de interés, esto es, deja pasar la señal sin ninguna modificación. Luego, realiza un filtrado pasa altas en la componente de ruido, lo cual disminuye el ruido de cuantización en la banda de señal, y por tanto, ayuda a mejorar la resolución de conversión. La desventaja es que el ruido fuera de la banda de señal es amplificado, pero esto se puede mejorar con una etapa de filtrado posterior [9].

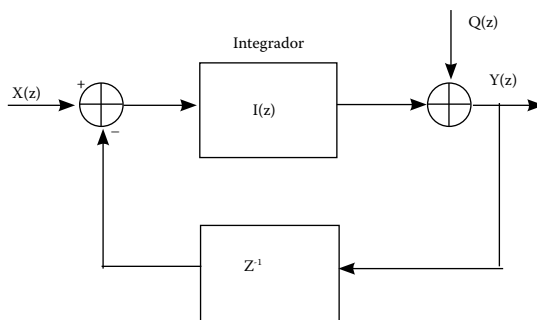


Figura 5. Diagrama de bloques del modulador Σ - Δ en tiempo discreto[8].

Hasta éste punto el análisis del modulador Σ - Δ se realizó en el dominio de Laplace o de S, en lo que sigue se hará el mismo análisis pero para el dominio discreto o de Z. Se considera el lazo de primer orden mostrado en la Fig.5, la función de transferencia en el dominio de Z de un integrador es denotada por $I(z)$ y el cuantizador de un bit es modelado como una fuente de ruido aditivo.

El análisis de señal estándar en tiempo discreto sobre el sistema mostrado en la Fig.5 produce la salida del lazo Sigma - delta de primer orden [10].

$$Y(z) = X(z) + (1 - z^{-1})Q(z) \quad (3)$$

Ya que el ruido de cuantización es asumido para ser aleatorio, el diferenciador $(1-z-1)$ mostrado en la ecuación (3) duplica la potencia del ruido cuantizado. Sin embargo, el error ha sido empujado hacia las altas frecuencias debido a este factor diferenciador [8]. Hasta el momento, se ha obtenido el modelo tanto en tiempo continuo como en tiempo discreto de un modulador Sigma - delta de primer orden. En la Fig.6 puede observarse el espectro resultante de la señal de salida del modulador Σ - Δ . Se puede visualizar la potencia de la señal de interés, que tiene un color gris, y la potencia del ruido fuera de la banda de señal en rayas. Se observa como éste tipo de modulación arroja el ruido hacia las altas frecuencias.

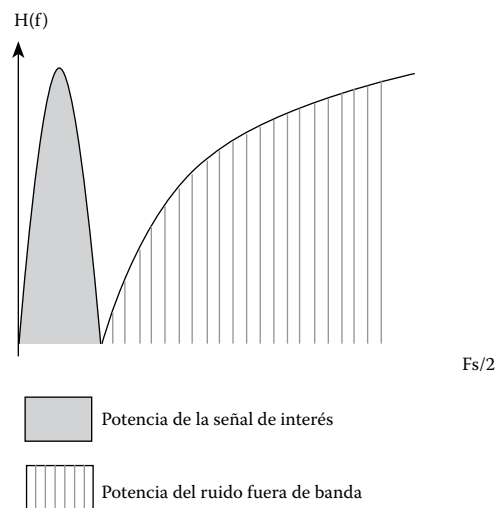


Figura 6. Espectro de potencia de la señal de salida del modulador Σ - Δ [8].

III. MODELO MATEMÁTICO DEL MODULADOR Σ - Δ DE 2° ORDEN

Para la codificación de las señales de excitación, se consideró la idea de realizar una conversión A/D convencional multi-bit de las señales o estímulos que se debían generar, para luego ser decodificadas en el hardware interno. Esto presentaba diversos inconvenientes [7]. Primero, las señales resultantes serían multi-bit, lo que haría más complejo el puerto de conexión con el exterior, y también exigiría la inclusión de hardware adicional para el control de las comunicaciones. Por otra parte, hay implementaciones de la modulación Σ - Δ que generan señales de un solo bit, y alcanzando resoluciones del orden de los 16 bits sin mayores inconvenientes [9]. Otra característica importante es su forma espectral, permitiendo la recuperación de las señales de excitación solo con un filtro pasa bajas, y algún hardware digital adicional.

El esquema de modulación Σ - Δ , ha permitido la realización de convertidores de datos de alta precisión con resoluciones de entre 16 y 20 bits. En ocasiones la señal es muestreada, cuantizada y codificada para ser tratada por mecanismos digitales. En tal caso, es necesaria la utilización de convertidores D/A para la recuperación de la señal original. La conversión de señal se realiza por la codificación de una señal de entrada digital multi-bit en un solo tren de bits, con una amplitud pico a pico de Δ , requiriendo el uso de procesamiento de señal digital y técnicas de sobre-muestreo.

La Fig. 7 ilustra éste proceso, cuando se ha aplicado al modulador una señal sinusoidal de entrada en formato digital, con una amplitud A y una frecuencia f_t , la cual ha sido sobre-muestreada, esto es $f_s \gg f_t$. Si se superpone la salida de un modulador Sigma - delta con su entrada, podemos fácilmente ver que la salida conmuta entre los niveles alto y bajo de tal manera que la entrada quede codificada en la densidad de la forma de onda de salida. Tal señal es conocida como una señal PDM. Es interesante anotar que la señal de entrada es multibit. Ésta señal puede ser recuperada completamente por el filtrado digital del tren de bits en la salida del modulador. Esto es posible gracias a que el proceso de

codificación Σ - Δ asegura que la señal de entrada y el error de cuantización, ocupen regiones del espectro de frecuencia diferentes.

Para transformar la señal de entrada digital en una forma analógica, simplemente se filtra el tren de bits en la salida del modulador con un filtro analógico pasa-bajas de preferencia activo con un ancho de W . Es importante anotar que la operación de filtrado eliminará la mayor parte del ruido de cuantización, pero no lo eliminará en su totalidad. Quedará algún ruido residual en la banda de interés, y éste no puede ser separado de la señal por medio de filtrado. Por tanto, para el modulador de segundo orden utilizado en este proyecto, algo del ruido de cuantización aparece en la salida junto con la señal de interés, y su SNR estará dada por [7].

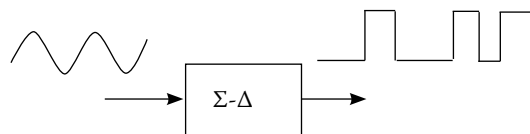


Figura 7. Proceso de modulación Σ - Δ .

$$SNR = 15 \log_2(OSR) + 6 \log_2\left(\frac{A}{\Delta}\right) - 8(dB) \quad (4)$$

Donde OSR (*OverSampling Rate*) es la tasa de sobre-muestreo $\frac{f_s}{2W}$, y W es el ancho de banda del modulador. La ecuación (4) sugiere que un valor muy alto OSR , acercaría la conversión a la ideal. Quizá la gran ventaja de la codificación PDM es que solo un filtro analógico con ancho de banda fijo es requerido para recuperar la señal analógica. Esto es, se puede colocar una señal cualquiera en la banda de paso del modulador, y obtenerla nuevamente con un filtro sintonizado a dicha banda [7].

La Fig. 8, muestra el diagrama de bloques del modulador Σ - Δ pasa bajas de segundo orden utilizado en éste proyecto. Se escogió así por ser el implementado en [10]. Tal sistema es descrito por el siguiente conjunto de ecuaciones en diferencias finitas

$$\begin{aligned} y(n) &= \text{sgn}[x_2(n-1)] \\ x_1(n) &= x_1(n-1) + u(n) - y(n) \\ x_2(n) &= x_1(n) + x_2(n-1) - y(n) \end{aligned} \quad (5)$$

Donde $u(n)$ es la señal digital de entrada multi-bit, $y(n)$ es la salida de un solo bit, y $\text{sgn}(x)$ representa la función signo de x . Para una secuencia particular de entrada $u(n)$ y un conjunto particular de condiciones iniciales $x_1(0)$ y $x_2(0)$ se puede generar la señal PDM equivalente a la entrada. La salida se obtiene por medio de la iteración del conjunto de ecuaciones en diferencias (5) y su almacenamiento de $y(n)$. Como es de esperarse de la teoría, el ruido de cuantización es eliminado en la banda de interés y puesto en las altas frecuencias.

Un modulador Σ - Δ está basado en un sistema con respuesta impulsiva infinita cuya salida realiza una transformación de la señal de entrada en una secuencia infinitamente larga de bits (un tren de bits) o una señal multibit. Ésta propiedad tiene como consecuencia que con una entrada periódica tal como una señal sinusoidal, el patrón de salida de los bits no se repita. Esto implica que no existe una secuencia finita en la salida del modulador que represente a la señal periódica de entrada. Sin embargo, se pueden tener aproximaciones a la señal original a partir de un tren de bits finito. Si se asegura que la señal de entrada completa un número entero de ciclos en el tren de bits de salida, y repitiendo éste infinitamente, se obtendría una aproximación cercana a la señal PDM original. Esto es logrado por el seguimiento de las reglas de muestreo coherente descritas más adelante. Para la mejor aproximación, se debe también asegurar que el bit $N+1$ de la secuencia de N bits que están siendo extraídos, sea igual al primero del patrón, para de ésta manera evadir la discontinuidad más obvia.

Para asegurar que un número entero de los ciclos de la señal de prueba están en el tren de bits PDM, la frecuencia de la señal de prueba, f_t , debe

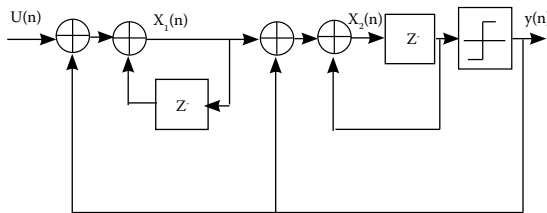


Figura 8. Diagrama de bloques del modulador Σ - Δ .

ser escogida como un submúltiplo de la frecuencia de muestreo f_s , de acuerdo con la reglas del muestreo coherente, tal y como se muestra en la siguiente expresión [7]

$$f_t = \frac{M}{N} f_s \quad (6)$$

Donde M y N son enteros. Con $M = 1, 2, 3$, etc., la frecuencia f_t será un múltiplo entero de la frecuencia primitiva f_s/N . En otras palabras, la frecuencia de la señal de prueba debe estar armónicamente relacionada con la frecuencia primitiva. Esto también sugiere que la frecuencia primitiva limita la resolución en frecuencia del esquema de generación de señal. Para una frecuencia de muestreo fija, la resolución solo puede ser mejorada por el incremento de la longitud de la secuencia. Finalmente, para codificar la señal de prueba en un tren PDM, es esencial que la señal esté en el ancho de banda del modulador Sigma - delta.

$$f_t \leq W \quad (7)$$

De acuerdo con los desarrollos previos para un modulador de segundo orden, la SNR en el ancho de banda del modulador, y teniendo además una señal de amplitud A , la cual está codificada en un tren de bits con una amplitud pico a pico de Δ , viene dada por la ecuación (4). Ahora bien, para una SNR deseada, el ancho de banda del modulador W puede ser expresado como [7]

$$W = f_s \cdot 2^{-(1/15)(SNR+23-6\log_2(A/\Delta))} \quad (8)$$

Si ahora se sustituye (6) y (8) en (7) da

$$\frac{M}{N} f_s \leq f_s \cdot 2^{-(1/15)(SNR+23-6\log_2(A/\Delta))} \quad (9)$$

O eliminando f_s se puede escribir

$$\frac{M}{N} \leq 2^{-(1/15)(SNR+23-6\log_2(A/\Delta))} \quad (10)$$

La ecuación (10) proporciona la relación básica entre la longitud de la secuencia N , el índice de frecuencia del tono de prueba, la calidad de la señal generada la cual está denotada por la SNR sobre el ancho de banda del modulador, la amplitud de la señal de prueba codificada A , y los

niveles de salida del modulador denotado por su diferencia Δ .

IV. ESTRUCTURA COMPUTACIONAL DEL MODULADOR Σ - Δ

La estructura computacional del modulador estudiado en la sección anterior se implementa en un algoritmo en Matlab™. El algoritmo sintetiza al espacio de estado descrito en (5), con éste se pueden calcular la secuencia de salida, el espectro de la secuencia de salida y realizar la recuperación de la señal de entrada al modulador, a través del filtrado pasa-bajas. Tomando en cuenta la literatura, se estableció que una SNR aceptable es de 70 dB, y según los objetivos que se plantaron en [5] se generaran sinusoides de hasta 1 voltio pico a pico, y hasta la frecuencia de 1 MHz. También se tiene que la amplitud pico a pico del tren de bits en la salida del modulador es de 2 voltios. En otras palabras, $A=0.5$, $SNR=70$ dB, $\Delta=2$ y N es igual a 512 bits, los necesarios para codificar las señales de prueba en una señal PDM de longitud finita. Por todo lo anterior, y según la ecuación (10) se tiene que $M = 4$.

Como la frecuencia de muestreo $f_s=64$ MHz, entonces la frecuencia primitiva es $fs/N = 64$ MHz/512 = 125000 Hz, es decir, que la máxima frecuencia que se puede generar según la ecuación (6) es $M(fs/N) = 4 \times 125000$ Hz = 500 kHz. La única forma poder generar señales con más frecuencia es con la disminución de su calidad, esto es, la disminución de la SNR. Para una SNR = 50 dB se tiene que $M = 16$, y para la misma frecuencia primitiva se obtiene que la máxima frecuencia generable es de 2 MHz. Y con 60 dB se puede generar hasta 1 MHz, pero se corre el riesgo de degradar la señal de forma significativa.

Para la recuperación de la señal en el interior del CI cuyo funcionamiento se pretende verificar en el proyecto desarrollado en [5], se usa un filtro analógico pasa-bajas. Éste filtro también es modelado computacionalmente para corroborar el principio de funcionamiento de la estrategia. El filtro obtenido en aquel proyecto es de 6° orden y tiene banda de transición de 750 kHz hasta 1500 kHz y ganancia unitaria en la banda de paso.

Todo el modelo matemático hasta ahora tratado, dio origen al siguiente algoritmo, el cual se codifica en Matlab™. La implementación del espacio de estado se basó en los modelos computacionales presentados en [11], y en el uso de algunas funciones del Delta-Sigma Toolbox V 7.1.

Las secuencias de interés se generan a partir del sistema de ecuaciones en diferencias finitas presentado en (5). La salida queda almacenada en un vector.

Se implementa el filtro analógico pasa bajas. Como se trata de una implementación computacional, y la señal proveniente del modulador Sigma - Delta es una secuencia numérica, cuando se implementa un filtro en formato analógico en Matlab™ ocurren problemas de convergencia, por tanto, se implementó un filtro recursivo IIR, que se basa en la transformación de un filtro analógico en una versión digital, que es lo que se necesitaba. La frecuencia de muestreo escogida del filtro fue lo suficientemente grande para dar características continuas a un proceso discreto, y es la cuarta parte de la frecuencia de muestreo del modulador, $f_n = 16$ MHz. Para la implementación del filtro se usaron las funciones que proporciona el DSP Toolbox V7.1, garantizando de esta manera la convergencia del filtro. El filtro digital escogido fue del tipo Butterworth, por tener un comportamiento monótono en ambas bandas, que se ajusta a la respuesta del filtro Sallen-Key utilizado en [5].

En la salida se obtuvieron las señales analógicas generadas para la excitación de los bloques internos de los circuitos integrados. Se calculan los espectros de potencia en cada parte del proceso de codificación-decodificación de señales PDM.

Una vez construidos los bloques computacionales necesarios, se procede a realizar pruebas al modelo antes descrito para verificar que cumple las funciones para las que fue elaborado. Ver material complementario.

V. PRUEBAS Y RESULTADOS.

Para verificar el correcto funcionamiento del modelo procedemos a realizar simulaciones en Matlab™. El procedimiento a seguir es el siguiente:

1. Generar los estímulos sinusoidales a 3 frecuencias y amplitudes distintas que se ingresarán al modulador con Matlab™. Los 3 estímulos generados serán: $1 V_{p-p}$ @500 kHz, $0.5 V_{p-p}$ @300 kHz, y una señal de DC de 0.45 V.
2. Ingresar los estímulos al modelo computacional del modulador Sigma-Delta implementado en Matlab™.
3. Generar gráfica de la señal PDM obtenida con el modelo computacional.
4. Generar el espectro de potencia de la señal PDM y verificar que se ajusta a la forma teórica esperada del mismo.
5. Luego se hace el filtrado de la señal PDM para recuperar el estímulo analógico y verificar que es posible realizar su extracción en el interior usando un hardware simple (un filtro activo) para poder excitar los CUT.
6. Generar el espectro de potencia de la señal recuperada. Éste espectro se visualizará con la frecuencia normalizada f/f_s , como se hace en [3] y en [12] en lugar de una escala logarítmica de la frecuencia f , debido a la no existencia de armónicos adicionales al tono de interés.

El criterio para este diseño experimental que sirve de validación al modelo fue la generación de las señales requeridas en el sistema para testing de circuitos integrados analógicos desarrollado en [5], es decir, que el modelo exhibiera su capacidad de generar ese tipo de señales. Se requería que el modulador generara tonos sinusoidales con frecuencias hasta 500 kHz, y con amplitudes hasta $1 V_{p-p}$.

En las figuras 9, 10 y 11 se muestran las señales PDM en la salida del modulador y el espectro de potencia de las señales a diferentes frecuencias y amplitudes, como se había propuesto. Se observa que es posible codificar en un tren de pulsos una señal analógica. El espectro se ajusta al esperado teóricamente con un tono a la frecuencia de la señal de entrada en la banda de interés, y ruido de cuantización fuera de banda que ha sido puesto allí por el modulador. Con esto se puede verificar que el modelo computacional funciona conforme a la teoría y que tendrá utilidad en la aplicación desarrollada [5].

Como la idea del proyecto [5] es utilizar un sencillo hardware analógico para la recuperación de las señales de prueba en el interior del CI cuyos bloques se están verificando. Lo anterior obliga a verificar que desde las señales PDM generadas con el modelo computacional se pueden recuperar los estímulos codificados. Para tal fin se aplica el filtro diseñado e implementado en Matlab™ a la señal PDM.

En la Fig.12 se muestra la salida del filtro para cada una de las señales de prueba. Como se puede observar en la Fig.12, sí es posible recuperar las señales de prueba mediante un filtro, aunque éstas contienen una cantidad de ruido que perturba las formas de onda. Se trata de un ruido residual en la banda de interés que no se puede eliminar mediante el uso de un filtro. Lo anterior se puede considerar una de las debilidades de la aproximación aquí propuesta. En la Fig. 13 se muestra el espectro de potencia de la señal de salida del filtro y se puede observar el efecto del filtro en la señal PDM. Para el primer tono, $1 V_{p-p}$ @500 kHz, la SFDR resultante es 40 dB. Para el segundo tono, $0.5 V_{p-p}$ @300 kHz, la SFDR resultante es 38 dB. Para el tercer tono, $0.45 V_{DC}$, la SFDR resultante es 42 dB. El SFDR es básicamente la relación señal a ruido en la banda de interés luego del filtrado. Es claro que el filtro pasa-bajas elimina el ruido fuera de la banda de interés, pero se mantiene un residuo en la banda, que se considera tolerable, debido a que la SFDR en la misma se mantiene alrededor de los 40 dB en promedio, que es aceptable para un modulador Σ - Δ de segundo orden, si se compara con otros moduladores de orden superior que consiguen SFDR de 60 dB [3].

La razón de tal situación es que el ruido en la banda de interés no es eliminable por medio de filtrado. Si bien se elimina gran parte del ruido fuera de la banda de interés, no se logra de manera total debido a 1) los niveles de atenuación en la banda eliminada del filtro pasa-bajas y 2) la amplia banda de transición (750 kHz) requerida para mantener el filtro analógico en un orden aceptable (6° orden). Para mejorar la relación señal a ruido bastaría con incrementar el orden del filtro, hasta donde el diseño hardware lo permita.

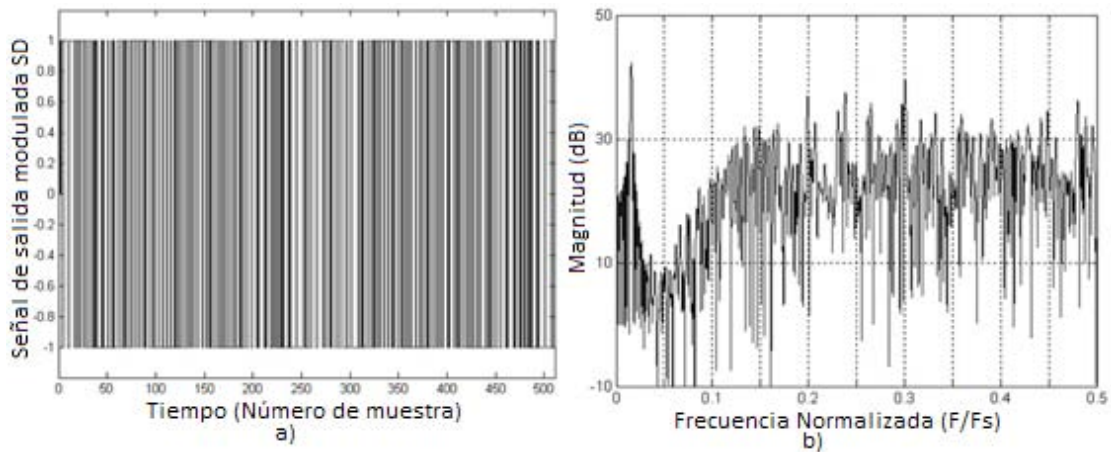


Figura 9. a) Señal PDM obtenida en la salida de la implementación software del modulador Σ - Δ . b) Espectro de potencia para onda sinusoidal con 1 Vp-p@500 kHz.

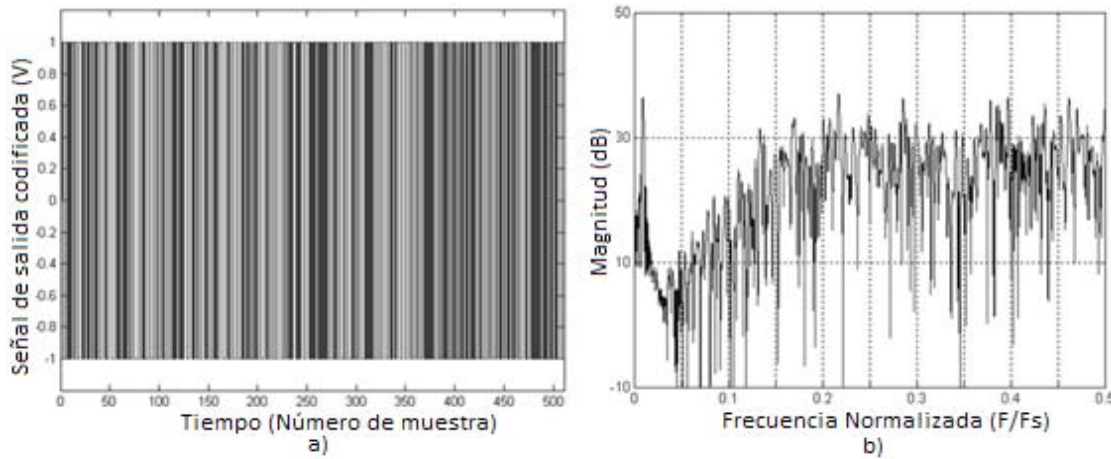


Figura 10. a) Señal PDM obtenida en la salida de la implementación software del modulador Σ - Δ b) Espectro de potencia para onda sinusoidal con 0.5 Vp-p@300 kHz.

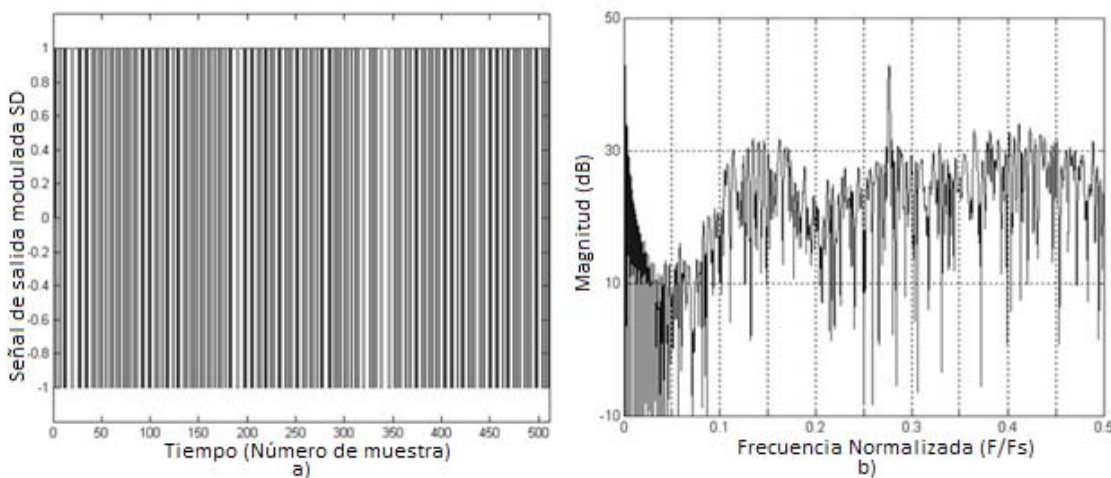


Figura 11. a) Señal PDM obtenida en la salida de la implementación software del modulador Σ - Δ b) Espectro de potencia para un voltaje DC de 0.45 V.

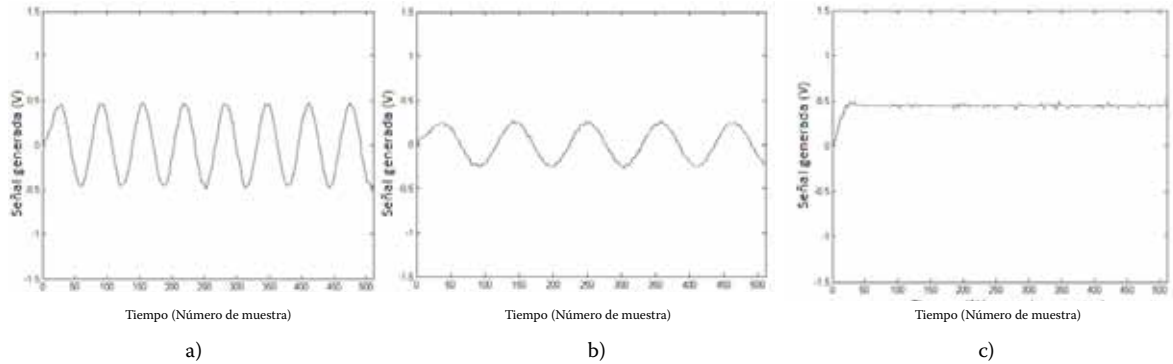


Figura 12. Estímulos recuperados mediante filtro pasa-baja.

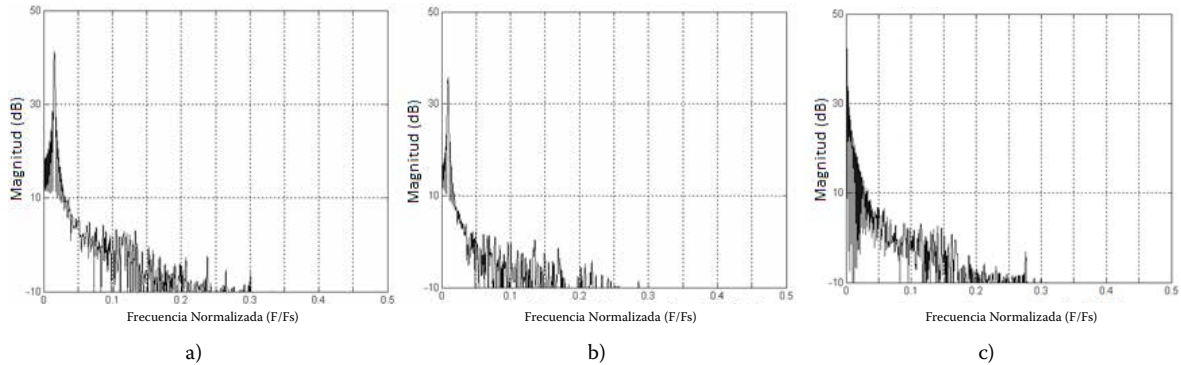


Figura 13. Espectros de potencia de los estímulos recuperados mediante filtro pasa-bajas.

VI. CONCLUSIONES

Al comienzo de éste trabajo se planteó la necesidad de desarrollar un modelo computacional de un modulador Σ - Δ para la obtención de las señales PDM requerida en el proyecto elaborado en [5] para la verificación de circuitos integrados analógicos. Para tal fin se estudió el funcionamiento teórico de los moduladores Σ - Δ como se describe en la literatura sobre este tema. Como el objetivo era llegar al modelo computacional, se desarrolló previamente un modelo matemático basado en una descripción de ecuaciones en diferencias finitas, así como algunas relaciones matemáticas adicionales que permiten especificar las condiciones de sobre-muestreo para conseguir un muestreo coherente. Se llevó a cabo el desarrollo de un modelo computacional codificado en Matlab™, y que hace uso de algunas funciones del Delta-Sigma Toolbox V 7.1. Luego de esto se llevaron a cabo simulaciones del modelo que verificaban que su comportamiento se ajustaba al descrito en la teoría. Para ello se obtuvieron

las formas de onda en la salida del modulador, así como sus espectros de potencia. Se verificó que es posible codificar señales analógicas de diferentes parámetros (amplitud y frecuencia) en señales PDM, por la ventaja que éstas últimas presentan al ser de tipo monobit. Los espectros de potencia mostraron las señales codificadas en la banda de interés, así como el ruido fuera de banda que es llevado a las altas frecuencias por acción del modulador. Una característica importante para verificar es la recuperación de los estímulos codificados en las señales PDM a partir de un filtro pasa-bajas, pues de esta manera fue sugerido en [5]. Se llevó a cabo ésta verificación implementando un filtro de este tipo en Matlab™ e ingresando las señales PDM, y se observaron las formas de onda de los estímulos recuperados, en las cuales aparecen las perturbaciones debido a un ruido remanente en la banda de interés no eliminable por filtrado, y una parte también de ruido residual fuera de banda debido a los niveles de atenuación en banda suprimida del filtro, lo que se considera una desventaja de la estrategia

presentada en [5] y complementada con este trabajo, pero que es tolerable. En resumen, se logró conseguir el modelo computacional para el fin propuesto de generar las señales PDM adecuadas para codificar los estímulos, y tal modelo se ajusta al comportamiento esperado de un modulador Σ - Δ . De ésta manera se complementa la propuesta realizada en [5].

AGRADECIMIENTOS

Deseamos agradecer a Dios la oportunidad de culminar con éxito este trabajo. También agradecemos la colaboración de la Ing. Zhoe Comas en el desarrollo de este artículo.

REFERENCIAS

- [1] Y. Zorian, E. J. Marinissen, y S. Dey, "Testing embedded-core based system chips," en *Test Conference, 1998. Proceedings International*, pp. 130-143, 1998.
- [2] K. Kundert, H. Chang, D. Jefferies, G. Lamant, E. Malavasi, y F. Sendig, "Design of mixed-signal systems-on-a-chip," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 19, n.º 12, pp. 1561-1571, dic. 2000.
- [3] M. M. Hafed, N. Abaskharoun, y G. W. Roberts, "A 4-GHz effective sample rate integrated test core for analog and mixed-signal circuits," *IEEE J. Solid-State Circuits*, vol. 37, n.º 4, pp. 499-514, abr. 2002.
- [4] J. L. Simancas-García, "Diagnóstico de Circuitos Integrados Analógicos y de Comunicaciones," *Inge@Uan*, vol. 1 fasc.1, pp. 7-19, 2011.
- [5] J. L. Simancas-García, "Bloque funcional para pruebas de circuitos integrados analógicos y de señal mezclada," Final de carrera., Universidad del Norte., Barranquilla-Colombia, 2006.
- [6] M. M. Hafed y G. W. Roberts, "A stand-alone integrated excitation/extraction system for analog BIST applications," en *Custom Integrated Circuits Conference, 2000. CICC. Proceedings of the IEEE 2000*, pp. 83-86, 2000.
- [7] E. M. Hawrysh y G. W. Roberts, "An integration of memory-based analog signal generation into current DFT architectures," en *Test Conference, 1996. Proceedings, International*, 1996, pp. 528-537.
- [8] S. Park, *Principles of sigma-delta modulation for analog-to-digital converters*. [En línea]. Disponible en: <http://www.numerix-dsp.com/appsnotes/APR8-sigma-delta.pdf>.
- [9] J. G. Proakis y D. K. Manolakis, "Digital Signal Processing", 4 edition. Upper Saddle River, N.J: Prentice Hall, 2006.
- [10] P. Aziz, H. Sorensen, y J. V. der Spiegel, "An Overview of Sigma-Delta Converters: How a 1-bit ADC achieves more than 16-bit resolution", *Dep. Pap. ESE*, pp. 61 - 84, ene. 1996.
- [11] E. Soria-Olivas, M. Martinez-Sober, J. Francés-Villora., y G. Camps-Valls, "Tratamiento digital de señales: problemas y ejercicios resueltos." Pearson Educación, España 2003.
- [12] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*, John Wiley & Sons, New York, 2004.